

Петрыкин Д.А.<sup>1,2</sup>

<sup>1</sup> Московский физико-технический институт

<sup>2</sup> ЗАО «МЦСТ»

### Коммутатор когерентных запросов и ответов системы на кристалле «Эльбрус-2S»

В процессе разработки системы на кристалле (СНК) «Эльбрус-2S» и кластера на ее основе, проводимой в ЗАО «МЦСТ», значительной проблемой стало обеспечение когерентности данных на аппаратном уровне. Процессорный узел СНК включает в себя четыре ядра, каждое со своей кэш-памятью первого и второго уровней, а также системный коммутатор (как связующий центр), различные контроллеры и прочее оборудование распределённой интерфейсной логики (chipset). В состав кластера входят четыре связанных высокоскоростными каналами процессорных узла, между которыми распределена его общая физическая память (рис. 1).

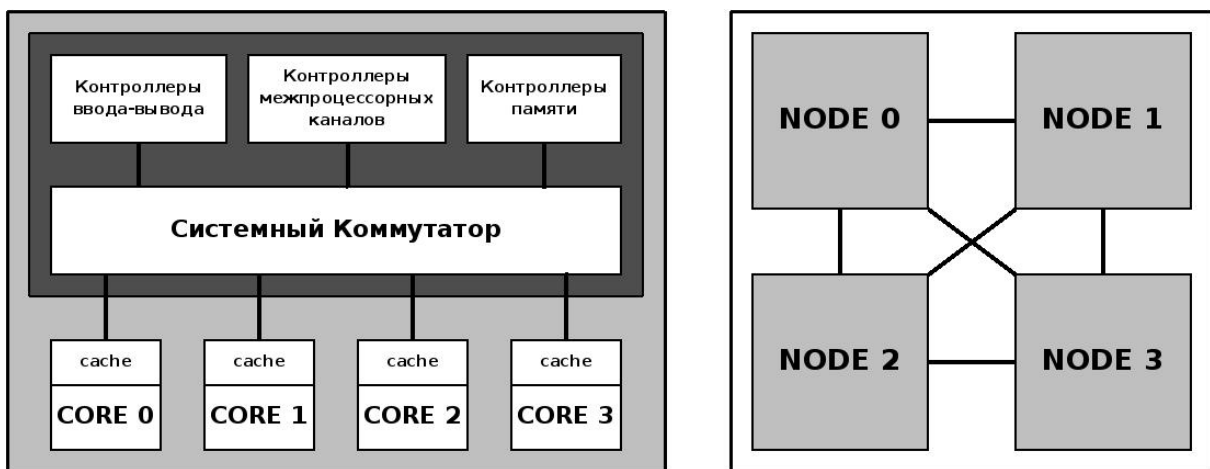


Рис. 1. Схема процессорного узла (слева) и кластера (справа) «Эльбрус-2S».

Поскольку кластер на основе «Эльбрус-2S» является системой с неоднородным доступом в память, а общее количество независимых ядер достаточно велико, то архитектурная установка проекта предполагала, что когерентность данных внутри узла обеспечивается механизмом снупирования (Snooping), а на уровне кластера – механизмом справочника (Directory) [1,2]. Данная реализация позволяет значительно уменьшить нагрузку на межпроцессорные каналы, обусловленную обменом пакетами поддержки когерентности и, как следствие, увеличить объём полезной информации,

передаваемой между процессорами, за счет относительно небольшого справочника [3].

Справочник содержит только общую информацию по процессорным узлам, поэтому каждый из них должен зондировать свои ядра самостоятельно. Была поставлена задача – разработать устройство коммутации когерентных запросов и ответов для процессорного узла. Сложность проблемы заключалась в том, что требовалось обеспечить одновременный прием пакетов как от своего системного контроллера, так и от контроллеров соседних узлов (рис. 2). Это означает, что коммутатор должен выполнять не только функции мультиплексирования пакетов, но еще и функции их буферизации. Также он должен разослать каждый полученный когерентный запрос всем своим ядрам, потом собрать ответы, обработать их и выдать единый ответ в систему. Более того, для уменьшения латентности памяти была исключена возможность блокировки или задержки когерентных запросов внутри ядер и было зафиксировано время их обработки. Приведенные факторы обусловили необходимость введения дополнительного буфера для хранения ответов данными и отдельного порта для когерентных запросов в кэш-памяти тегов, что в свою очередь внесло некоторую специфику как в работу коммутатора, так и процессорного узла.

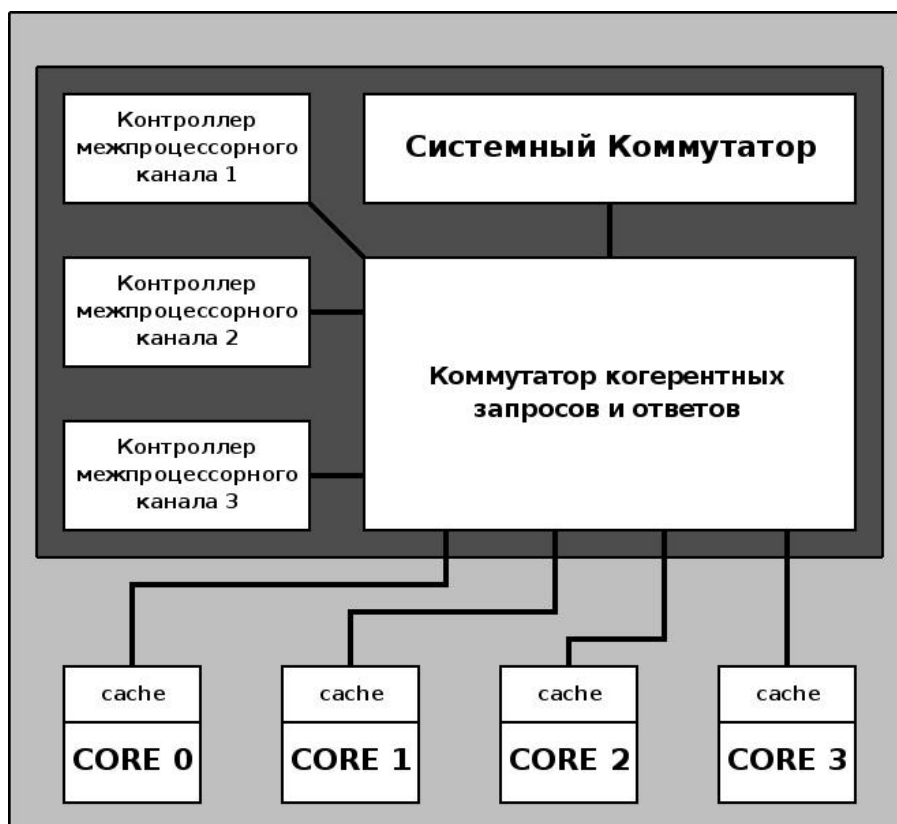


Рис. 2. Коммутатор когерентных запросов и ответов в составе процессорного узла.

С учетом вышеуказанного разработана принципиальная схема устройства и его RTL описание. Работа коммутатора была проверена и отлажена на вероятностной модели для различных параметров когерентных запросов и ответов.

#### Литература

1. *Таненбаум Э.* Архитектура компьютера. — СПб.: Питер, 2007.
2. *John L. Hennessy, David A. Patterson.* Computer Architecture. — Kaufmann, 2007.
3. *Зайцев А.И., Шерстнёв А.Е.* Организация межпроцессорного обмена в многокластерных системах на базе микропроцессоров Эльбрус-S и МЦСТ-4R // Вопросы радиоэлектроники. — 2009.