

УДК 004.318

Исаев М. В.<sup>1,2</sup>

<sup>1</sup> Московский физико-технический институт (государственный университет).

<sup>2</sup> ЗАО «МЦСТ».

## **Основные тенденции в архитектуре высокопроизводительных многоядерных процессоров**

### **(аналитический обзор)**

При подготовке обзора автором проанализированы архитектурные особенности многоядерных микропроцессоров с количеством ядер 8 и более: AMD Opteron серии Magny-Cours, Intel Nehalem-EX, IBM Power7, IBM Cell, Sun UltraSPARC T3, а также - ещё не вышедший микропроцессор AMD Bulldozer, Intel Larrabee и не прошедший далее стадии разработки Sun Rock. Были рассмотрены использованные в них основные технические решения и выделены тенденции, которые наблюдаются в разработках, ориентированных на современные высокопроизводительные приложения.

Наращивание числа ядер в микропроцессоре становится повсеместным трендом, а соединение процессоров в систему из 4-32 кристаллов с помощью межпроцессорных LVDS-интерфейсов, в которых используется достаточно большая, порядка 6,4ГТ/с, скорость (последние версии стандарта HyperTransport от AMD и IBM и QPI от Intel), практически является стандартом де-факто. При этом очень остро встают вопросы когерентности в системе. На данный момент почти все решения, кроме IBM Cell, предлагают аппаратную поддержку когерентности. Но чтобы обеспечивать заявленную производительность в реальных приложениях, приходится достаточно сильно расширять интерфейсы, обеспечивая один контроллер памяти на два-три ядра. То есть, для создания восьмиядерного процессора гармоничным кажется использование четырех (и точно - не менее трёх) каналов памяти, иначе интерфейс с памятью становится узким местом. При выстраивании механизма когерентности происходит усложнение протоколов. Чтобы сократить служебный трафик между процессорами, объекты обеспечения когерентности делятся на регионы, а запросы

рассылаются ступенчато (IBM Power и Intel Nehalem-EX). Вкупе с иерархией регионов используются директории для адресации когерентных запросов, вместо рассылки широковежательных. Протоколы когерентности дорабатываются и дополняются состояниями, которые позволяют меньше обращаться за данными в память и забирать Shared-копию данных из соседнего процессора при её наличии (MESIF-протокол Intel и когерентный протокол Larrabee) [2]. Ядра обычно имеют некую общую структуру данных, L3 кэш, хотя доступ к разным его частям обычно несимметричен (кроме IBM Cell, у которого используется DMA-память). Разделяется локальная часть, доступ к которой выполняется достаточно быстро, и остальные части с более медленным доступом. Так как появляется кэш-память третьего уровня, то L2-кэш обычно стараются уменьшить (часто используется лишь кэш-память объемом 256Кб, общая для данных и кодов команд), при этом L1-кэш составляет обычно по 32Кб для данных и для команд, суммарно - 64Кб. Объем L3 обычно составляет 1-2Мб на ядро. Большой удельный объем используется лишь фирмами, которые способны применить уникальную технологию для изготовления памяти столь большого объема (технология eDRAM у IBM) [3].

Кольцевые шины на данный момент используются в нескольких процессорах. Во-первых, процессоре IBM Cell, но в нем аппаратно не поддерживается когерентность, и шина используется только для обмена данными. Во-вторых, в процессоре Intel Larrabee – в этом случае для шины реализована аппаратная поддержка когерентности, а передаются по ней адресная часть, данные и служебная информация. И, наконец, в процессоре Intel Nehalem-EX кольцевая шина лишь связывает части L3 кэша по данным. Также кольцевые шины применялись в прошлом в графических чипах AMD, начиная с серии R600, но впоследствии от них было решено отказаться. Они также использовались только для передачи данных, когерентность между ядрами не поддерживалась.

#### **Литература.**

1. Pat Conway, Nathan Kalyanasundharam, Gregg Donley, Kevin Lepak, Bill Hughes, "Cache Hierarchy and Memory Subsystem of the AMD Opteron Processor", IEEE Micro, vol. 30, no. 2, 2010, pp. 16-29.

2. Herbert H. J. Hum et al, "Forward state for use in cache coherency in a multiprocessor system", US Patent 6922756, 2005.
3. Kalla, R., Sinharoy, B., Starke, W.J., Floyd, M., Power7: IBM's Next-Generation Server Processor, IEEE Micro, vol. 30, no. 2, 2010, pp. 7-15.