

Шерстнёв А.Е. ^{1,2}

¹ ОАО «ИНЭУМ»

² ЗАО «МЦСТ»

Аппаратное определение трассы доступа в оперативную память на ВК «Эльбрус-3М1»

Определение последовательности обращений процессора в оперативную память (трассы доступа в память) позволяет распараллелить исполнение задачи, а также является важной составляющей разработки алгоритма оптимизации компилятора [1]. Наиболее простой способ определения трассы доступа в память – анализ кода задачи, представленного описанием на языке высокого уровня или в ассемблерном виде [2]. Но такой метод не позволяет решить поставленную задачу с достаточной точностью в силу следующих причин:

- Теоретическому анализу поддаётся код конкретного приложения, но не система в целом, в которой помимо пользовательского приложения также исполняется код служебных процессов операционной системы и обработчиков прерываний.
- Логическая последовательность чтений и записей не соответствует реальной нагрузке на оперативную память, так как обращения в память происходят посредством контроллера кэша
- В оперативную память также обращаются вспомогательные блоки процессора, например, отвечающие за подкачку кода
- В общем случае, невозможно точно определить физический адрес обращения в память, что необходимо при оптимизации задачи.

В итоге, теоретически определённая трасса обращений в память не в полной мере соответствует действительности, поскольку рассчитывается на относительно высоком уровне функционирования системы. Данная работа направлена на то, чтобы наиболее достоверно определить трассу для любого исполняемого приложения. Предлагаемый метод основывается на встраивании в

чипсет («северный мост») системы дополнительного мониторингового оборудования, сохраняющего историю исполнения запросов в контроллере памяти для последующего анализа. Интеграция мониторингового оборудования в чипсет была проведена на ВК «Эльбрус-3М1» [3].

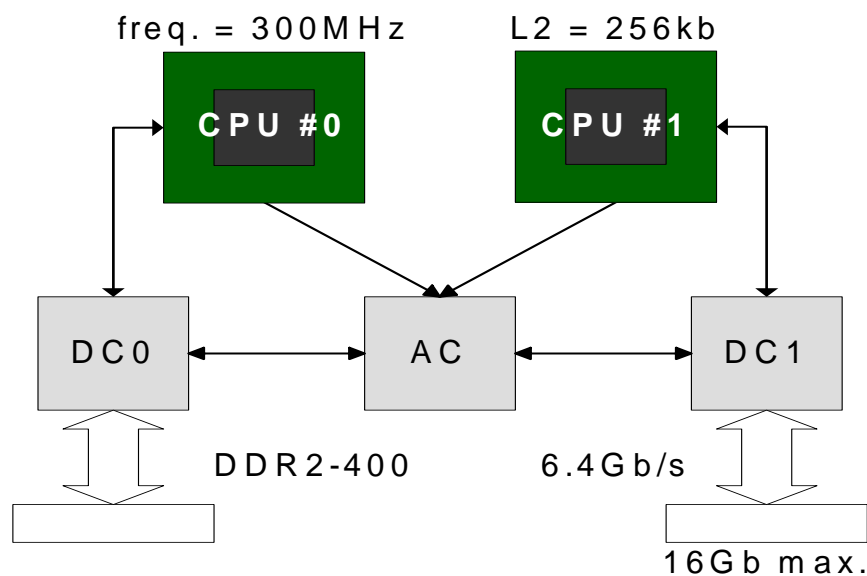


Рис. 1. «Эльбрус-3М1». AC – коммутатор адреса, DC – коммутатор данных
«Эльбрус-3М1» - это 2-процессорная система, процессоры которой взаимодействуют посредством чипсета, реализованного на ПЛИС (Программируемые Логические Интегральные Схемы). ПЛИС позволяют вносить изменения во внутреннюю логику работы схемы в течение всего цикла использования системы. Встраиваемое мониторинговое оборудование представляет собой блоки памяти, размещаемые перед входным портом контроллера памяти, в которые записываются команды, отправляемые в оперативную память. В строке памяти монитора сохраняется физический адрес запроса и тип команды (чтение/запись). Размер памяти может быть сконфигурирован в момент компиляции внутренней структуры чипсета (прошивки). Устанавливаемый на данный момент тип ПЛИС (Altera EP2S130f1508C3) [4] имеет внутреннюю память, доступную для использования, размером ~5 Мбит. С учётом того, что один элемент монитора имеет размер 24 бита, возможно сохранение трассы размером в ~200000 обращений в память. С учётом частоты контроллера памяти и процессора, размер памяти монитора соответствует 1.5 млн. тактов процессора или 7 мс. При необходимости трасса может быть фрагментирована для

сохранения результатов работы приложения в разные моменты времени или анализа нескольких задач за один прогон. Управление запуском мониторов осуществляется в автоматическом режиме по событию, определяемому на момент компиляции прошивки чипсета, или при помощи интерфейса JTAG [5].

Рассмотренный способ не имеет приведённых выше недостатков, в силу того, что отслеживаются все запросы именно в той последовательности, в которой они обрабатываются контроллером памяти, и позволяет точно определить режим доступа в память в произвольный отрезок времени.

Литература

1. Colwell R.P., Nix R.P., O'Donnell J.J., Papworth D.B., Rodman P.K. A VLIW architecture for a trace scheduling compiler. IEEE Transaction on Computers, volume 37. 1988
2. Zhang Y., Haga S., Barua R. Execution history guided instruction prefetching. Proceedings of the 2002 International Conference on Supercomputing. ACM , New York City, NY, USA, 2002
3. Грабежной А.В., Калякин А.А., Нейман-заде И.И., Ступаченко Е.В., Тарасенко Л.Г. Оценка быстродействия процессора Е3М. // Высокопроизводительные вычислительные системы и микропроцессоры: сборник трудов ИМВС РАН. 2006. – Вып. 9
4. Stratix II Device Handbook
http://www.altera.com/literature/hb/stx2/stratix2_handbook.pdf
5. Quartus II Version 6.0 Handbook
http://www.altera.com/literature/hb/qts/quartusii_handbook.pdf