

УДК 004.052.42

Рыжов М.П.^{1,2}

¹ЗАО «МЦСТ»

²Институт электронных управляющих машин им. И.С.Брука

Система верификации модулей микропроцессора, управляемая тестовым покрытием

Согласно статистике, 70% цикла разработки микропроцессора занимает верификация [1]. Для верификации достаточно большой системы используются методики написания и генерации тестов, которые не охватывают все возможные ситуации системы и, следовательно, не дают гарантий обнаружения всех ошибок в дизайне. Чтобы обеспечить нужное качество верификации и определить степень готовности дизайна к выпуску, требуется оценка доли ситуаций, которые были покрыты тестами — метрики покрытия. Для наиболее распространенных метрик нет строгих доказательств корреляции между числом ненайденных ошибок и отличием величины покрытия от единицы. Данное предположение остается эмпирическим, несмотря на широкое применение метрик покрытия для оценки качества верификации [2].

При традиционном подходе к генерации тестов покрытие учитывается после генерации и исполнения тестов. Методика управляемой тестовым покрытием генерации тестовых воздействий предлагает использовать величину покрытия в процессе генерации тестов для обеспечения обратной связи [3]. В работе исследуется возможность применения данного подхода к верификации изолированных устройств, описанных на языке verilog.

Управляемая покрытием верификация предъявляет дополнительные требования к моделирующей системе. Требуется возможность измерять покрытие, сохранять и восстанавливать состояние модели во время моделирования с высокой, вплоть до потактовой, частотой. Для удовлетворения данным требованиям используется verilator — транслятор RTL-кода в модель на языке C++.

Использование метрик исходных тестов синтезированного и оттранслированного модуля также позволяет использовать независимую метрику покрытия, более адекватно отражающую логику устройства, путем анализа покрытия кода на языке C++. Благодаря размещению генератора тестовых стимулов, модели и кода, измеряющего покрытие, в едином исполняемом файле обеспечена возможность проводить операции по работе с состоянием модели и измерению покрытия с потактовой частотой.

Применение обратной связи по покрытию позволило более быстро достигать заданной величины покрытия по сравнению с псевдослучайным генератором, а также автоматизировать подбор его параметров генерации.

Литература

1. *William K. Lam* Hardware Design Verification: Simulation and Formal Method-Based Approaches, — Prentice Hall, 2005 — 624 с.
2. *Serdar Tasiran, Kurt Keutzer* Coverage Metrics for Functional Validation of Hardware Designs // IEEE Design & Test archive — 2001 — V. 18, Issue 4, P. 36–45
3. *Gerard Mas, Ralph Smeets, Mike Benjamin, Daniel Geist, Alan Hartman, Yaron Wolfsthal* A Study in Coverage-Driven Test Generation // Proceedings of the 36th annual ACM/IEEE Design Automation Conference — 1999 — P. 970–975