

Тимин Л.С.

ЗАО «МЦСТ», Институт электронных управляющих машин, Московский физико-технический институт (Национальный исследовательский университет).

Моделирование неисправной работы встроенной памяти микропроцессора

Блоки встроенной памяти являются неотъемлемой частью современных микропроцессоров; они занимают около половины площади кристалла, и для их формирования используется порядка двух третей всех транзисторов на чипе. Поэтому использование исправной встроенной памяти является обязательным условием корректности работы всего микропроцессора.

В то же время встроенная память чрезвычайно подвержена неисправностям, различным по своему происхождению и проявлению. Их возникновению способствуют и большая площадь, и жесткие режимы работы транзисторов, и большое их число. Это привело к созданию различных механизмов диагностики и компенсации неисправностей. При переходе от одного поколения технологических процессов производства микросхем к другому обретают статистическую значимость все новые типы неисправностей, что вынуждает развивать методы их обнаружения и средства моделирования неисправностей.

В докладе предлагается подход к поведенческому моделированию неисправных блоков встроенной памяти, основанный на применении транслируемого языка высокого уровня для описания функциональной модели неисправности. Сначала приводится описание программной модели обобщенной исправной памяти. Затем рассматривается построение функциональных моделей неисправностей. В итоге модель неисправной памяти строится путем внедрения модели неисправности в работу модели исправной памяти. Реализация приведенного подхода может работать автономно или в рамках симуляции описания устройства на языке описания аппаратуры.

Этот подход был применен к моделированию неисправностей декодера адреса блока встроенной памяти. Рассмотрены различные типы неисправностей и

проверена способность конкретного алгоритма тестирования блоков встроенной памяти выявлять их.

В результате показано, что предложенный подход к поведенческому моделированию неисправных блоков встроенной памяти микропроцессора охватывает широкий спектр неисправностей и может применяться при разработке и отладке механизмов диагностики и компенсации неисправностей блоков встроенной памяти.

Литература

1. *Hamdioui S., Van De Goer A.J.* Address decoder faults and their tests for two-port memories // Proceedings. International Workshop on Memory Technology, Design and Testing — 1998 — P. 97-103.
2. *Borri S., Hage-Hassan M., Girard P., Pravossoudovitch S., Virazel A.* Defect-oriented dynamic fault models for embedded-SRAMs // Proceedings Eighth IEEE European Test Workshop — 2003 — P. 23-28.