

УДК 004.3'142.22

Мороз Ярослав Николаевич

ЗАО «МЦСТ»

ОАО «ИНЭУМ им. И.С. Брука»

«Оптимальное планирование топологии кристалла на этапе физического проектирования».

В настоящее время, когда современные сверхбольшие интегральные схемы (СБИС) содержат десятки и сотни миллионов транзисторов, весьма остро встает проблема оптимального планирования топологии схемы. Она требует провести предварительный анализ архитектуры и иерархии проектируемой схемы, точно задать размеры, выполнить оптимальное разбиение всей схемы на подблоки (устройства), задать месторасположение блоков ввода-вывода, организовать систему питания. Эти задачи крайне важно решать, учитывая потребности дальнейших этапов физического проектирования: размещения элементов схемы, трассировки связей и физической верификации всей схемы. Неоптимальное планирование топологии приводит к тому, что на более поздних этапах проектирования могут возникать различного рода нарушения, которые невозможно устранить, не изменяя топологию.

Сложность современных интегральных схем, предполагает активное использование самых современных систем автоматизированного проектирования (САПР) – специализированного программного обеспечения.

Для планирования топологии схемы используется два основных метода - с использованием и без использования иерархии. У каждого из них есть достоинства и недостатки, поэтому часто можно одновременно использовать оба метода применительно к одной схеме, выполняя при этом правила и нормы проектирования.

Основные достоинства метода планирования иерархической топологии - это возможность разбиения большой схемы на подблоки согласно существующей архитектурной иерархии и (или) согласно требованиям физической реализации. Далее, можно выполнять физическое проектирование отдельных блоков параллельно. Такой подход позволяет сэкономить вычислительные ресурсы и время проектирования. Кроме того, это позволяет лучше оптимизировать каждое из устройств по ключевым параметрам. В дальнейшем, готовые подблоки можно использовать в качестве IP-решений в различных местах схемы. К недостаткам метода можно отнести: сложность согласования межблочных связей, необходимость организации в каждом устройстве своей систем питания, системы синхронизации и их согласование с аналогичными системами на

верхнем уровне иерархии. Также, для автоматизации проектирования применительно к каждому устройству необходимо создавать свои командные скрипты, файлы ограничений проектирования, выделять отдельного специалиста для физического проектирования. Данный метод широко используется в крупных компаниях, специализирующихся на разработке сложных высокопроизводительных схем.

Метод проектирования с топологией без иерархии более прост в реализации. В данном случае проектирование всей схемы проводится целиком, в виде единого большого устройства, без разбиения на подблоки. Во время оптимизации, с помощью мощных алгоритмов САПР многие уровни иерархии убираются. В данном случае проще настроить единый маршрут проектирования под одно устройство, проще построить общую систему питания и синхронизации в отличие от дизайна с иерархией. Отпадает потребность в большом количестве инженеров. Из недостатков этого метода стоит отметить невозможность эффективно и оптимальным образом проектировать СБИС, так как необходимо задействовать большие объемы памяти, мощные процессоры и самые современные САПР, а это может быть экономически не выгодно. Кроме того, как показывает практика, быстродействие проектируемой схемы падает, а занимаемая площадь возрастает. Можно сделать вывод, что данный метод больше подходит для проектирования каких-то типовых, небольших микросхем, не показывающих максимально возможное быстродействие.

В рамках нескольких проектов, реализованных в компании ЗАО «МЦСТ», мною были успешно применены оба метода. Основная сложность заключалась в том, чтобы оптимальным образом использовать оба метода для проектирования микросхемы и устройств, входящих в её состав, с целью получения характеристик согласно техническому заданию. В частности, сейчас во время проектирования ядра процессора с успехом используется топологическая модель КЭШ-памяти второго уровня, в которой успешно применены оба метода проектирования. Весь КЭШ разбит на 9 устройств: четыре массива хранения данных, четыре массива хранения адресов и устройство коммутатора. Массив данных, массив адресов и устройство коммутатора проектируется один раз, используя топологию без иерархии. Далее, готовые устройства, в качестве IP-решений, «подставляются» на верхний уровень иерархии КЭШ-памяти второго уровня, где осуществляется правильное объединение готовых блоков в единую систему. Такая топология содержит в себе все достоинства обоих методов проектирования.

Литература

1. Astro "User Guide". JupiterXT™ "Virtual Flat Flow User Guide". Synopsys Inc.2010
2. *Kawaguchi, K.; Iwasaki, C.; Muraoka, M.*; "A RTL partitioning method with a fast min-cut improvement algorithm".Semicond. Res. Center, Matsushita Electr. Ind. Co. Ltd., Design Automation Conference 1997.
3. *Steve Kiste*. Synopsys Inc "Minimizing the time needed to complete a hierarchical design"
Feb. 2011.