

УДК 004.3'144

Парахин Ю.Н., Севальнев О.С.

ЗАО «МЦСТ»

**Проблемы повышения выхода годных микросхем при проектировании топологии кристаллов на базе 90 нм технологических норм**

*Оптимизация и временной анализ проекта.*

Одной из главных проблем при проектировании топологии высокоскоростных микросхем в МЦСТ является анализ и оптимизация их временных характеристик. Поведение электронной схемы СБИС процессора зависит от различных факторов ее окружения, например, параметров полупроводниковых структур, определяемых технологическим процессом, температурой и локальным разбросом напряжения питания [1]. Чтобы найти ситуацию наихудшего сочетания параметров, рекомендуется проводить статический анализ временных характеристик схемы при различных экстремальных комбинациях параметров (углы моделирования). После того как подтверждается, что схема работает в каждом из экстремальных углов, делается вывод о квалификации проекта, как работоспособного во всем диапазоне этих параметров. В проектах ЗАО «МЦСТ», основанных на самой передовой для российских разработок технологии 90нм, соответствие временных характеристик (setup/hold) заданным критериям проверялось при различных комбинациях следующих параметров:

- Фабрика предоставляет три модели транзисторов FF (быстрые), SS (медленные) и TT (типовые). При изготовлении большой партии кристаллов транзисторы могут получиться в диапазоне от SS до FF (гарантируется стандартное Гауссовское распределение).
- Фабрика гарантирует работоспособность транзисторов в диапазоне температур от -40С до +125С.
- Согласно техническим заданиям на разработку микросхем напряжение питания может варьироваться в диапазоне +5%/-5% от номинала (1.0В).

Основываясь на этих значениях мы выбрали следующие комбинации параметров для

проверки временных характеристик: "медленная" комбинация: SS, +125C, 0.9В; "быстрая" комбинация: FF, -40C, 1.1В; "реальная" комбинация: TT, 125C, 1.0В (была выбрана как наиболее вероятная комбинация в условиях реального применения).

### *Анализ проекта на соблюдение норм электромиграции и бросков напряжения*

Следующей задачей проектирования является анализ проекта на соблюдение норм электромиграции и бросков напряжения. Проблемы, связанные с отклонением от этих норм, могут быть вызваны неоднородностью сетки питания, ее недостаточностью (слишком мало шин питания или их недостаточная ширина), использованием минимальных размеров для сигнальных проводников, являющихся нагрузкой для мощных усилителей, недостаточным количеством межслойных переходов (via) для шин через которые протекает большой ток [1]. Они могут привести к постоянным либо временным отказам СБИС. Нами была разработана новая архитектура сетки питания, которая вкуче с возможностями современных САПР позволила достичь 20мВ падения напряжения по всему кристаллу. К особенностям этой архитектуры стоит отнести: выделение всего доступного для трассировки места в двух верхних металлах (М8 и М9) сетке питания, что обеспечило сплошную сетку питания по всему кристаллу; flip-chip метод корпусирования с равномерным распределением контактных площадок питания по всему кристаллу; использование развязывающих конденсаторов (DCAP) в промежутках между стандартными ячейками; возможность локальной модификации сетки питания в нижних металлах (расширение существующих и добавление новых шин); выделенное питание для блоков формирования синхросигналов.

### *Трассировка микросхем с учетом взаимного влияния проводников.*

С уменьшением размеров проводников и расстояний между ними, а так же из-за повышения частоты синхросигнала и снижения напряжения питания актуальной становится проблема взаимного влияния проводников, которое может привести к понижению частоты работы схемы и даже к ложному срабатыванию логики. Это влияние обусловлено паразитными конденсаторами между соседними проводниками (coupling capacitance) [2]. Используемая нами программа автоматической трассировки кристаллов (Synopsys Astro) позволяет в большинстве случаев устранить взаимное влияние проводников. В тех же местах, где по каким-либо причинам этого сделано не было, мы увеличивали расстояние между проводами; переводили отдельные провода в

другие слои металла; увеличивали мощность усилителей работающих на проблемные провода; применяли экранирование (shielding) проводов.

### *Приемы проектирования топологии для увеличения выхода годных .*

Правила топологического проектирования нанометровых микросхем включают различные группы ограничений. Самые жесткие ограничения определяются требованиями к соблюдению допустимых форм и минимальных размеров элементов, взаимному расположению и расстоянию между ними. Дополнительные ограничения на равномерность заполнения площади кристалла направлены на снижение влияния вариаций параметров элементов. При равномерном заполнении все физические структуры микросхемы находятся в примерно одинаковом окружении, взаимное влияние структур усредняется и вариации параметров элементов уменьшаются. Для этих целей все свободные места на кристалле были заполнены дополнительными полигонами для достижения рекомендованных фабрикой значений плотности металлов по всему кристаллу.

Еще одна группа ограничений связана с так называемым "антенным эффектом". Во время технологических процессов плазменного травления и полировки на проводниках накапливается статический заряд, который может привести к пробое КМОП-транзисторов или смещению порогов срабатывания транзисторов. Чтобы минимизировать "антенный эффект", мы вводили специальные ограничения на площадь соединений на внутренних слоях металлизации.

В процессе проектирования топологии кристалла был использован еще ряд приемов для увеличения процента выхода годных: дублирование межслойных переходов везде, где есть свободное место и нет нарушений по временным ограничениям (setup/hold); использование более строгих (оптимальных для производства или рекомендованных) правил проектирования топологии в самых критичных устройствах микросхем.

### *Результаты и взгляд в будущее.*

В МЦСТ по технологическим нормам 90нм было спроектировано и изготовлено на фабрике три микропроцессорных кристалла, два из них представляют собой многоядерные ситемы на кристалле. Во всех из них мы широко использовали вышеперечисленные методы проектирования топологии для повышения процента выхода годных при изготовлении кристаллов. Все это позволило нам довести выход

годных до 80-90%.

На более передовых технологиях (65 нм и меньше) нас ждут как новые проблемы с повышением выхода годных, так и новые пути их решения. Например, кроме дублирования межслойных переходов, необходимо будет везде, где это позволяет место и временные характеристики расширять и раздвигать проводники, чтобы исключить возможность замыкания соседних проводов и устранить взаимное влияние. Обязательным к применения станет статистический статический анализ (statistical static timing analysis) временных характеристик проекта, который учитывает разброс параметров (величина порога срабатывания транзистров, неоднородность ширины проводников и т.д.) по всей площади кристалла. Необходимо будет выявлять "критические площади" (critical area analysis), где велика вероятность появления дефектов при изготовлении (разрыв или замыкания проводов) и минимизировать такие площади [1].

#### Литература

1. C.C. CHIANG, J. KAWA "DESIGN FOR MANUFACTURABILITY AND YIELD FOR NANO-SCALE CMOS", Synopsys Inc. Mountain View, CA, USA Synopsys Inc. Mountain View, CA, USA, c 2007 Springer
2. T.Y. HO, Y.W. CHANG, S.J. CHEN "Full-Chip Nanometer Routing Techniques", Graduate Institute of Electronics Engineering and Department of Electrical Engineering National Taiwan University, Taipei, Taiwan, ROC, c 2007 Springer