

Белянин И.В.^{1,2}, Петраков П.Ю.²

¹Московский физико-технический институт

²ЗАО «МЦСТ»

Разработка SATA- IO- link контроллера с поддержкой программных интерфейсов Legacy и AHCI для использования в составе вычислительных комплексов выпускаемых ЗАО «МЦСТ»

Проблема, обусловившая необходимость разработки SATA- контроллера, была вызвана повсеместным отказом от использования накопителей предыдущего поколения - IDE, который потребовал обеспечить работу с современными дисками, повысив при этом скорость обработки данных. Для чипсетов (наборов интерфейсных схем), входящих в современный вычислительный комплекс, наиболее распространенным интерфейсом дисковых накопителей является последовательный интерфейс SATA. На данный момент на рынке существует большой выбор ip-core решений SATA- контроллера, однако при использовании одного из них в большом количестве проектов, такой вариант реализации становится накладным. Исходя из этого, было решено спроектировать собственный контроллер с внешним интерфейсом IO- link для использования в составе южного моста разработанного ЗАО «МЦСТ».

При модернизации текущих аппаратных решений всегда остро встает проблема совместимости с существующим программным обеспечением. Вследствие того, что интерфейсы IDE и SATA на программном уровне сильно различаются, необходимо было обеспечить корректную работу контроллера на п/о IDE интерфейса. Решением стала дополнительная аппаратная реализация программного интерфейса Legacy, которая сделала контроллер более универсальным и позволила обеспечить работу накопителей без изменения программного обеспечения. В результате, контроллер обладает двумя программными интерфейсами AHCI (новый, более быстрый интерфейс) и Legacy (наследственный).

Частота передачи данных при работе контроллера в режимах SATA/150 и SATA/300, составила 1.5 Гц и 3 Гц соответственно. Это наложило жесткие условия на аналоговые части физического уровня SATA- контроллера. Ввиду чрезвычайной сложности, возможность разработки аналоговой части с нуля не

рассматривалась, поэтому было использовано приобретенное ip-core решение физического уровня.

В процессе реализации проекта было написано RTL- описание контроллера, проведено моделирование его работы, а также выполнена отладка на макете с использованием ПЛИС Xilinx Virtex-5, давшая возможность использования встроенного физического уровня SATA GTP-Dual Transceiver.

В перспективе в контроллере будут реализованы некоторые опциональные возможности, а именно: аппаратная поддержка создания дисковых массивов RAID 0, 1, 10 и алгоритма Native Command Queuing.

В конечном итоге предполагается реализация контроллера в составе южного моста, выполненного в качестве системы на кристалле.

Литература

1. Advanced Host Controller Interface specification / ed. by James Boyd, Intel. - 2008. V1.3. 131 с.
2. *Matt DiPaolo, Simon Tam* Serial ATA Physical Link Initialization with the GTP Transceiver of Virtex-5 LXT FPGAs / Xilinx. - 2008. 16 с.