

УДК 004.318

Исаев М. В.¹

¹ ЗАО «МЦСТ».

Анализ способов эффективной оптимизации внешнего протокола когерентности на базе когерентной директории

Современные разработки многопроцессорных систем на базе многоядерных микропроцессоров в качестве стандарта де-факто определили архитектуру NUMA (Non Uniform Memory Access), при реализации которой все процессоры имеют доступ к общей памяти, но время доступа становится неодинаковым. Ее преимуществом является большой объем адресуемой памяти, хотя при этом возникает проблема организации доступа посредством протокола когерентности памяти. Система, используемая при ее решении, основана либо на широковещательном протоколе когерентных сообщений, либо на директории [1]. Директория необходима для снижения межпроцессорного когерентного трафика путём отсеивания направлений, по которым нецелесообразно проводить когерентный опрос. Ее применение обосновано тем, что большинство данных используются лишь одним процессором, в то время как доступ к одним и тем же данным более чем двух процессоров в многопроцессорных вычислительных комплексах составляет обычно менее 5% [2]. Так как в большинстве случаев когерентные сообщения не рассылаются, то оптимизируется как время доступа к памяти в многопроцессорной системе, так и нагрузка на пропускную способность межпроцессорных соединений.

При анализе решения с использованием директории оно было рассмотрено применительно к двум типам процессоров. Полная по памяти директория рассматривалась на примере процессора “Эльбрус-2С”, частичная директория, лежащая в кэш-памяти третьего уровня, - на примере процессора фирмы AMD семейства “Magny-Cours”. Недостаткам первого варианта являются сложная маршрутизация памяти, возможные дополнительные обращения в память и низкая эффективность размещённой в кэше информации в случае работы со случайно адресованной задачей (одна строка директории фактически адресует одну 4 КБ страницу памяти). Во втором варианте к недостаткам следует отнести размещение директории в кэш-памяти третьего уровня, большие накладные

расходы (из-за большого относительного объёма тэгов кэш-строк), а также низкий коэффициент покрытия (отношение объёма директории к объёму покрываемой ей памяти).

На основании данного анализа было предложено видение перспективной архитектуры директории, использующейся как основа внешней системы когерентности будущего процессора. Данная директория является не полной по памяти, располагается в отдельной кэш-памяти, но, в отличие от директории процессоров AMD, каждому адресному тэгу в ней соответствует несколько строк. Это повышает коэффициент покрытия, снижая отношение накладных расходов к полезной информации. Директория обеспечивает среднее время доступа к памяти на более низком уровне, чем полная директория, при снижении сложности маршрутизации памяти, а показатели эффективности покрытия памяти достигаются при меньших объёмах ее кэша.

Литература

1. *Richard Simoni*, “Cache Coherent Directory for Scalable Multiprocessors”, Technical Report: CSL-TR-92-550, 1992.
2. *Pat Conway, Nathan Kalyanasundharam, Gregg Donley, Kevin Lepak, Bill Hughes*, “Cache Hierarchy and Memory Subsystem of the AMD Opteron Processor”, IEEE Micro, vol. 30, no. 2, 2010, pp. 16-29.