

УДК 004.2

В.С. Волин<sup>1</sup>

Н.А. Щербина<sup>1,2</sup>

1 ЗАО «МЦСТ»

2 Московский физико-технический институт (государственный университет)

### **Анализ потребляемой мощности СнК «МЦСТ-4R»**

В последние годы остро встает проблема создания микросхем высокой степени интеграции с низким энергопотреблением. Это обстоятельство приводит к внедрению новых подходов в проектирование интегральных схем. Возникает задача анализа рассеиваемой мощности уже изготовленных образцов СнК с целью определения дальнейшей тактики достижения низких параметров энергопотребления.

Мощность, рассеиваемую на CMOS микросхемах, принято разделять на динамическую и статическую. Эти две составляющие обладают разной природой. Вследствие этого формы их зависимостей от таких параметров, как температура кристалла, напряжение питания, тактовая частота и программная нагрузка на процессорное ядро, существенно различны. Таким образом экспериментально исследуя поведение общей мощности при варьировании упомянутых параметров, можно выделить ее составляющие и оценить их вклад в суммарное значение. Более того, получив различные зависимости энергопотребления изготовленных образцов микросхем при текущих параметрах проектирования, можно предсказать их изменения при переходе на новые.

Анализ энергопотребления опытных образцов СнК «МЦСТ-4R» показал, что основные потребители мощности, суммарное значение которой составляет порядка 20Вт — это

- статическое потребление 25%,
- потребление дерева синхроимпульсов 40%,
- потребление интерфейсных элементов 25%.

Потребление собственно логических элементов таким образом составляет около 10% от общего. Было подтверждено сильное влияние порогового напряжения CMOS элементов на статическую мощность. При переходе на высокое пороговое напряжение резко уменьшается рост тока утечки с увеличением температуры кристалла. Так же обнаружена слабая зависимость мощности, рассеиваемой на интерфейсных элементах,

от нагрузки на них.

В виду существующей задачи снижения энергопотребления проектируемых микросхем в рамках развития линии SPARC-микропроцессоров «МЦСТ-R» и СнК на их основе наряду с существующими техниками, такими как DVFS (динамическое масштабирование напряжения питания и тактовой частоты), Power gating (отключение напряжения питания от неиспользуемого оборудования микросхемы) и Clock gating (отключение синхросигнала от неиспользуемого оборудования микросхемы), целесообразно применять следующие решения:

- радикально сократить количество используемых элементов с низким пороговым напряжением;
- где только возможно отказаться от применения массивов MS-триггеров с заменой их на D-триггера и макроселлы памяти;
- в структурах аналогичных регистровым файлам перейти на использование D- и -D-триггеров;
- рассмотреть возможность реализации структур доставки синхроимпульсов в виде сетки вместо дерева;
- для микросхем, ориентированных на носимые применения, сократить ширину используемых интерфейсов.

#### Литература

1. *Keating M., Flynn D., Aitken R., Gibbons A., Shi K.* Low power methodology manual for system-on-chip design. — Springer, 2008.
2. *Liu Y., Dick R.P., Shang L., Yang H.* Accurate temperature-dependent integrated circuit leakage power estimation is easy // Design, Automation & Test in Europe Conference & Exhibition – 2007.
3. *Lui Z., Hu C., Huang J., Chan T., Jeng M., Ko P., Cheng Y.* Threshold voltage model for deep-submicrometer MOSFET's // IEEE Transactions on electrical devices . - January 1993. - V. 40, N. 1. - P. 86-95.
4. *Stockinger M.* Optimization of Ultra-Low-Power CMOS Transistors // Vienna : 2000.