

УДК 004.382

Шерстнёв А.Е.^{1,2}

¹ ОАО «ИНЭУМ»

² ЗАО «МЦСТ»

Методики ускорения доступа в память в чипсетах систем на основе микропроцессора «Эльбрус-2S»

"Эльбрус-2S" – 4-ядерный микропроцессор [1] для организации высокопроизводительных многопроцессорных NUMA-систем с общей когерентной памятью.

Чипсет (системный коммутатор), интегрированный на одном кристалле с процессором, обеспечивает взаимосвязь составляющих блоков процессорного модуля, доступ в оперативную память и поддержку её когерентности [2, 3]. Системный коммутатор является точкой синхронизации запросов, адресуемых в обслуживаемую им память.

Разработанный протокол межпроцессорного обмена изначально ориентирован на эффективное взаимодействие процессоров внутри кластера, включающего не более четырёх процессорных модулей. Преимуществами выбранного протокола является его относительная простота реализации и верификации, а также независимость от числа процессоров. Основным выявленным минусом состоит в том, что в системах с числом процессоров >4 , организуемых при помощи дополнительно чипа - межкластерного коммутатора, время исполнения каждого запроса резко увеличивается за счёт необходимости опроса кэшей всех процессоров в большой системе. Помимо этого, передача большого числа снуп-запросов снижает эффективную пропускную способность каналов межпроцессорного обмена.

В процессоре "Эльбрус-2S" проблема перегрузки межпроцессорных каналов снуп-запросами решена применением справочника, отслеживающего местоположение каждой строки памяти в системе (полный справочник). При отработке запроса команда чтения отсылается в контроллер памяти, если данные

не кэшированы ни в одном процессоре, или формируется один снуп-запрос владельцу модифицированных данных. Поддержание информации справочника в актуальном состоянии производится в процессе работы в реальном времени без существенного влияния на производительность системы в целом. Для ускорения доступа к информации справочника организован отдельный кэш [4] с протоколом MOSI [5].

Более равномерная загрузка трёхканального интерфейса оперативной памяти в системном коммутаторе "Эльбрус-2S" достигается за счёт конфигурируемого интерливинга (чередования адресов по каналам), позволяющего при последовательном изменении адреса равномерно распределить запросы в память между включенными каналами. Минимальный шаг интерливинга равен одной кэш-строке процессора (64 байта). Для расчёта трехканального интерливинга используется модифицированный алгоритм быстрого деления на 3 [6], выполняющегося за один такт синхроимпульса с частотой 1ГГц. Частное от деления используется при формировании адреса для контроллера памяти, остаток определяет номер канала.

Компьютерное моделирование и сравнение с системами предыдущего поколения ("Эльбрус-S") [7] продемонстрировало, что применение справочника в совокупности с кэшем справочника значительно повышает эффективную пропускную способность каналов межпроцессорного обмена и производительность системы в целом для широкого круга задач.

Литература

1. *Шерстнёв А.Е.* Системный коммутатор ВК «Эльбрус-2S». МЦСТ, 2010
2. *Шерстнёв А.Е.* Контроллер памяти DDR3 SDRAM ВК «Эльбрус-2S». МЦСТ, 2010
3. DDR3 SDRAM Specification. Revision JESD79-3D. JEDEC Solid State Technology Association, September 2009, <http://www.jedec.org>
4. *Петров И.А. Шерстнёв А.Е.* Реализация справочника для аппаратной поддержки когерентности в вычислительном комплексе на базе микропроцессора «Эльбрус-2S». -Вопросы радиоэлектроник. -2011. -Выпуск 3. С. 120-130.
5. *Jim Handy* "The Cache Memory Book". Morgan Kaufmann 2nd edition, 1998

6. *Behrooz Parhami* "Computer arithmetic: algorithms and hardware designs"
Oxford University Press, Fall 2001
7. *Шерстнёв А.Е.* Системный коммутатор ВК «Эльбрус-S». МЦСТ, 2009