

Московский физико-технический институт
(государственный университет)
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники

Выпускная квалификационная работа
бакалавра

***Подготовка маршрута физического
проектирования СБИС на примере подблока
контроллера периферийных устройств***

Студент: Колотов Антон, группа 913
Научные руководители к.т.н. Кристовский Г. В.,
Буленков С. В

Формулировка задачи:

- На базе существующего маршрута физического проектирования для проекта микропроцессора E2S подготовить маршрут проектирования для проекта Pechora (контроллер периферийных устройств КПИ2), с акцентом на уменьшение мощности.
 - Разработать блок GPIO-MPV проекта КПИ2, используя подготовленный маршрут.
-
-

Маршрут физического проектирования

Структура маршрута физического проектирования

- Логический синтез
 - Планирование кристалла
 - Топологический синтез
 - Формальная верификация
 - Размещение стандартных элементов
 - Разводка цепей синхронизации
 - Трассировка и оптимизация трассировки
 - Формальная верификация
 - Подготовка к отправке на фабрику
 - Анализ результатов
-
-

Подготовка данного маршрута

Характеристики маршрута проектирования

Основной задачей физического проектирования является создание схемы с оптимальными характеристиками:

- Выделяемая мощность (mW)
- Временные параметры
- Площадь блока (мкм²)

Временные параметры блока характеризуются слэком (slack).

Слэк — временной параметр цепи, характеризующий разность между временем, необходимым для предустановки/удержания сигнала на входе элемента, и временем, которое реально для этого имеется.

Как правило выделяют два показателя, которые позволяют оценить временные характеристики блока:

Worst Negative Slack (WNS) — худший слэк во всём блоке.

Total Negative Slack (TNS) — сумма всех отрицательных слэков блока.

Маршрут физического проектирования

Задачи, решённые при реализации маршрута

При постановки ТЗ была задана частота работы устройства 500 МГц. Основная задача проектирования заключалась в минимизации потребляемой мощности.

В ходе подготовки маршрута были решены задачи:

- Применение средств экономии мощности в маршруте
- Использование TIE ячеек для присоединения логических входов элементов к сетке земли-питания

Маршрут физического проектирования

Методы снижения мощности

В маршруте используется несколько методик уменьшения потребляемой мощности:

- Использование библиотек стандартных элементов с пониженным энергопотреблением
 - Технология ограничения распространения синхросигнала (Clock Gating)
 - Использование специальных средств САПР
-
-

Подготовка данного маршрута

Методы снижения мощности

Библиотеки стандартных элементов

Типы библиотек стандартных элементов:

- С наилучшим быстродействием (LVT)
- Базовые (RVT)
- С пониженным энергопотреблением (HVT)

Распространённая методика: Использование при проектировании наиболее быстродействующих элементов. Последующая замена части ячеек на элементы с пониженным энергопотреблением.

Предлагаемая методика: По умолчанию используются элементы с пониженным энергопотреблением, либо промежуточные. Если не получается достичь необходимых временных характеристик, то точно заменяем элементы критических цепей на более быстрые.

Подготовка данного маршрута

Тест эффективности использования методики

Результаты синтеза блока на разных библиотеках элементов:

Тип библиотеки	Мощность mW	Статическая мощность mW
HVT	10.41	0.14
RVT	10.55 (+1.3%)	0.33 (+135%)
LVT	11.66 (+12.0%)	0.72 (+415%)

Подготовка данного маршрута

Методы снижения мощности

Использование средств САПР снижения потребляемой мощности

В основные команды стандартного маршрута САПР фирмы Synopsys заложены три опции, задающие использование алгоритмов понижения мощности:

- LOW_POWER_PLACEMENT
- DYNAMIC_POWER
- LEAKAGE_POWER

Результаты использования данных опций на тестовом блоке:

Применённые оптимизации	Total power(mW)	Leakage power(mW)
Без оптимизаций	13.448	0.267
DP	13.114	0.255
LP	13.087	0.254
LPP	13.448	0.264
DP+LP	13.095	0.254
DP+LP+LPP	13.421	0.257

Подготовка данного маршрута

Использование TIE ячеек

Для подачи на контакты логических элементов постоянных сигналов существует два подхода

Стандартный подход: соединение с сеткой земли-питания

Современный подход: использование специальных элементов — TIE элементов

Достоинства использования утяжек:

- Повышение надёжности устройства
- Защита от электростатических разрядов

Недостатки использования утяжек:

- Затраты площади на дополнительные элементы и разводку

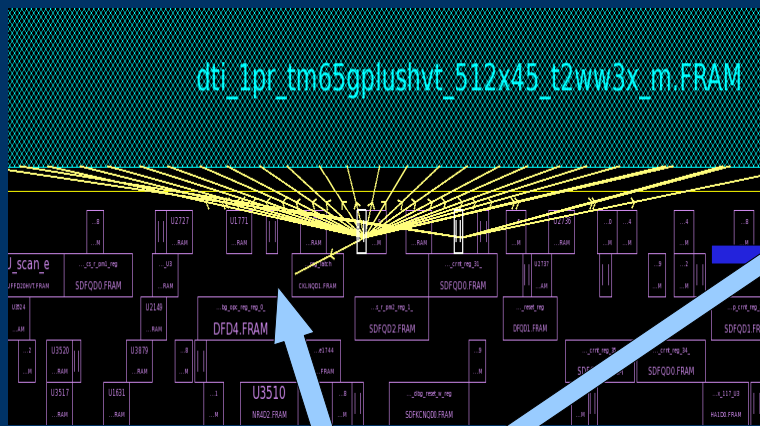
Подготовка данного маршрута

Исправление возникновения длинных путей до TIE ячеек

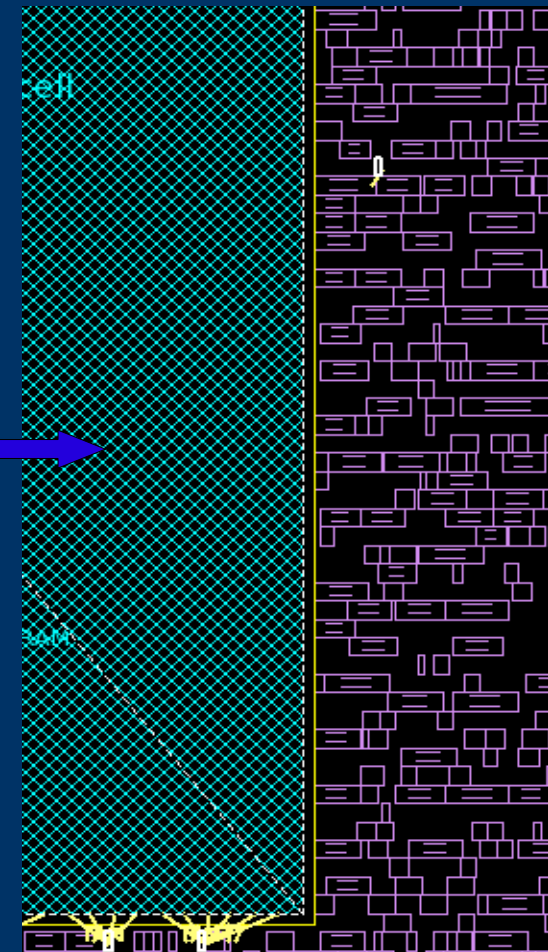
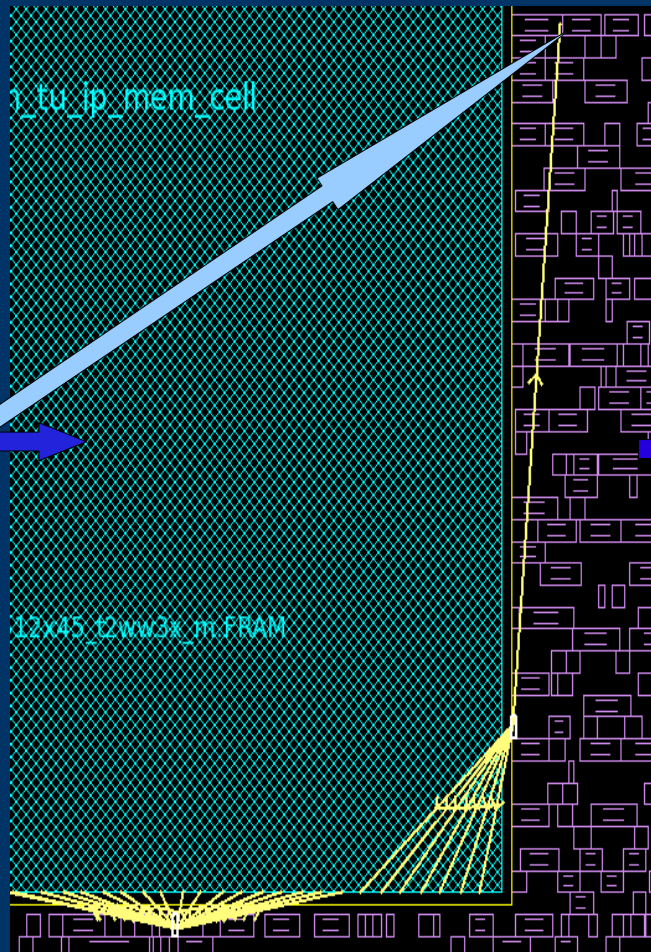
До оптимизации цепей синхронизации

После оптимизации цепей синхронизации

После применения исправляющего скрипта



Ячейка, соединённая с утяжкой, была перенесена при оптимизации дерева синхросигналов



Маршрут физического проектирования

Другие работы, проведённые по маршруту

- Создание макетов файла физических ограничений (SDC) и файла настройки для создания цепей тестирования (Design for Test)
 - Разработка switching activity файла
 - Настройка инструмента Calibre (Mentor Graphics) для проверок Design Rule Check, Layout Versus Schematic
 - Внесение других доработок в маршрут
-
-

Блок GPIO - MPV в составе КПИ2

- совмещённые в одном блоке контроллер универсальных интерфейсных входов/выходов (General Purpose Input/Output) и модуль привязки времени

Тактовые частоты работы блока — 500 МГц и 250 МГц



Результаты проектирования блока GPIO-MPV

При помощи этого маршрута спроектирован блок GPIO-MPV.

Результаты автоматического проектирования блока:

- Площадь 42788.360мкм²
- Утилизация 60.59%
- WNS -0.026 нс
- TNS -0.052 нс
- Мощность 10.4189 mW
- Количество логических ячеек 10055

Далее в критических цепях некоторые NVT элементы были заменены на более быстрые и параметры TNS и WNS были сведены к 0.

Результаты:

- Подготовлен маршрут физического проектирования для проекта КПИ2, ориентированный на уменьшение потребляемой мощности. Приняты меры для увеличения надёжности устройства.
 - При помощи подготовленного маршрута спроектирован блок проекта КПИ2 — GPIO-MPV.
-
-

Спасибо за внимание

