

УДК 004.318

*Исаев М. В.*

Московский физико-технический институт (государственный университет)

ЗАО «МЦСТ»

**Объединение двух процессорных ядер с архитектурой "Эльбрус" для создания двухъядерной системы-на-кристалле "Эльбрус-S2".**

В настоящее время в ЗАО «МЦСТ» выполняется опытно-конструкторская работа (ОКР), в рамках которой проектируется система на кристалле, содержащая два процессорных ядра архитектуры «Эльбрус» и набор распределенной интерфейсной логики (chipset) из системы на кристалле (СНК) предыдущего поколения «Эльбрус-S», а также кластер из четырёх процессоров обработки сигнальной информации (Digital Signal Processor, DSP). При этом принципиальным требованием является возможность объединения четырех СНК в рамках одного кластера с аппаратной поддержкой когерентности по протоколу, в котором обращение в память порождает опрос всех процессоров системы (snoop-based протокол), и двух кластеров - с помощью межкластерного коммутатора [1]. Для повышения скорости разработки и снижения затрат было принято решение, согласно которому два ядра СНК объединяются межъядерным коммутатором («контроллером межъядерных взаимодействий» — Core Integration Controller, CIC), организующим их совместный доступ к памяти, периферийному оборудованию и DSP-кластеру. Примечательным является то, что данная система может производиться и совместно с DSP-кластером на одном кристалле, как в ведущейся ОКР, и отдельно от него, являясь двухъядерной СНК «Эльбрус-S2». Процессорное ядро с кэшем первого уровня, кэш второго уровня, устройство доступа к памяти Memory Access Unit (MAU) и набор распределенной интерфейсной логики (chipset) System Interface Controller (SIC) СНК «Эльбрус-S» было решено оставить неизменными (рис. 1.).

Основной проблемой при проектировании коммутатора был арбитраж запросов от обоих ядер в систему – необходимо учитывать, что с точки зрения системы запросы должны выглядеть так, будто процессор содержит лишь одно ядро. При этом нужно было решить проблему удваивающегося в пике количества операций чтения и записи в системе. В СНК «Эльбрус-S» и ядро, и chipset могут

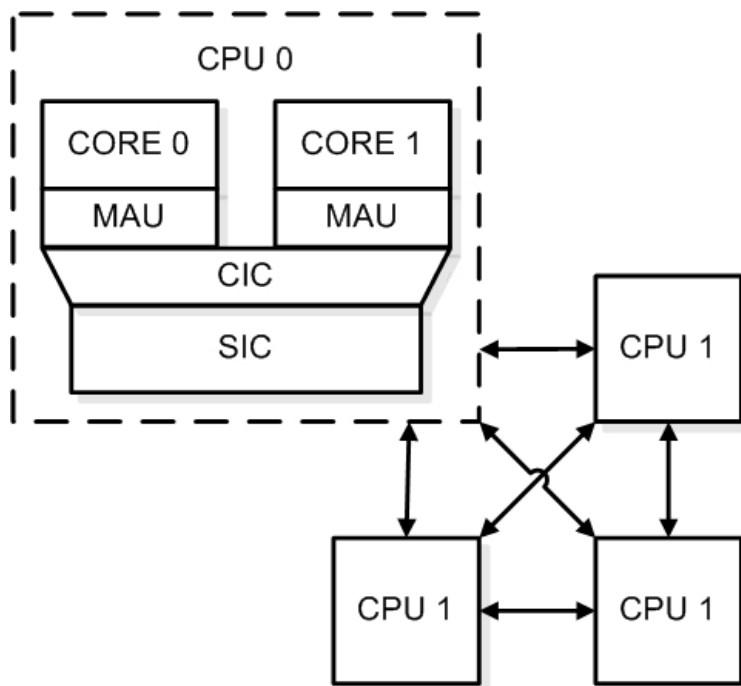


Рис. 1. Структурная схема ШК «Эльбрус-S2»

исполнять до 32 чтений и до 16 записей. Если с удвоением количества ядер число возможных запросов увеличивается, то из-за неизменности SIC количество запросов по чтению/записи, находящихся в системе, должно было оставаться неизменным. Также необходимо было соблюсти корректность семафорных операций с памятью (эксклюзивная работа с определённым адресом) в условиях появления второго ядра, о существовании которого не знает SIC. Для решения поставленной задачи был разработан контроллер запросов MAU (MAU Request Controller, MRQ), состоящий из арбитра с круговым приоритетом, регистров чтения/записи (LDR/STR) в количестве 32 и 16 соответственно по числу регистров чтения и записи MAU, а также добавлены проверки адреса и типа операции на совпадение с используемым семафором в семафорных регистрах. При этом архитектурно реализовано переименование регистров чтения/записи MAU с помощью LDR/STR регистров, что минимизирует изменения в MAU до небольших изменений интерфейсного уровня [2].

Ещё одной проблемой, решённой в процессе разработки контроллера, являлось внесение необходимых доработок в протокол когерентности, используемый в комплексе на базе ШК «Эльбрус-S» и реализованный в наборе распределенной интерфейсной логики SIC. Для этого был разработан

контроллер когерентных сообщений — Coh\_Box. Находясь между ядрами и SIC, он, получая запрос из SIC, разбирает его и передаёт нужным ядрам, а когерентные ответы из ядер сохраняет и выдаёт обобщённый когерентный ответ в формате когерентного ответа для одноядерной системы.

Последним функциональным устройством является межинтерфейсный коммутатор. Его основной задачей является сведение внутреннего интерфейса межъядерного коммутатора, достаточно разрозненного, к формату старого интерфейса между MAU и SIC.

Verilog-описание разработанного коммутатора было включено в состав отладочного стенда, где прошло первичное тестирование, доказывающее правильность принятых во время разработки решений. Также стоит отметить, что проведённые тесты производительности показывают превосходство двухъядерной СНК «Эльбрус-S2» относительно двухпроцессорной системы на базе двух систем на кристалле «Эльбрус-S».

#### Литература

1. *Ким А. К. [и др.] Микропроцессорные вычислительные комплексы с архитектурой «Эльбрус» и их программное обеспечение // Вопросы радиоэлектроники. – 2009. – сер. ЭВТ, вып. 3. – С. 5-36.*
2. *Таненбаум Э. Архитектура компьютера. 4-е издание – Питер, 2006. – 704 с.*