

**Контроллер памяти DDR2 SDRAM и его система синхронизации
в составе системы на кристалле «Эльбрус-S2»**

Одной из проблем, возникших при создании системы на кристалле (СНК) «Эльбрус-S2» в совместном проекте ЗАО «МЦСТ» и ГУП НПО «ЭЛВИС», выполняемом на базе одноядерной СНК «Эльбрус-S» (предшествующая разработка ЗАО «МЦСТ» [1]), стала поддержка работы с памятью.

Тактовая частота оперативной памяти СНК МП «Эльбрус-S» составляет 250 МГц (соответственно стандарту DDR2-500 [2], пропускная способность одного канала 4 Гбайт/с). В связи с удвоением числа универсальных ядер в СНК «Эльбрус-S2» для обеспечения эффективной работы было необходимо увеличить и пропускную способность памяти (стандарт DDR2-800). С этой целью были проведены все необходимые доработки уже существующего двухканального контроллера памяти для обеспечения пропускной способности 6,4 Гбайт/с на канал.

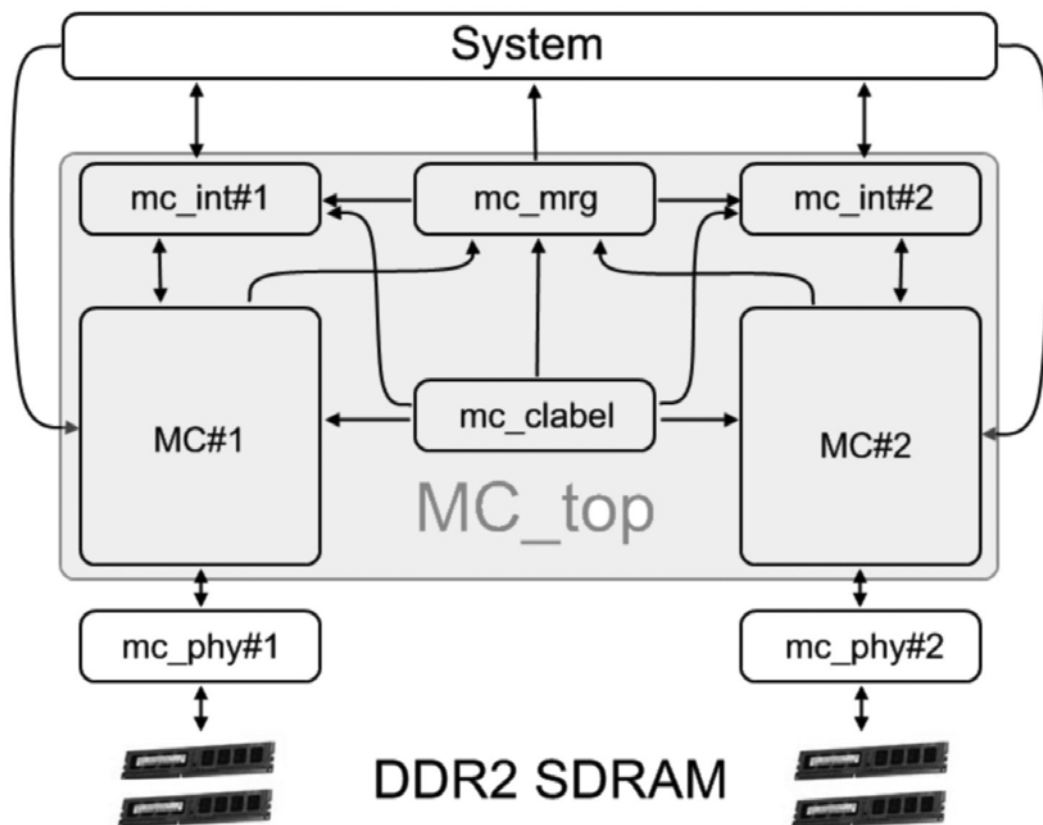


Рис. 1. Структурная схема двухканального контроллера памяти DDR2 SDRAM.

Контроллер памяти СНК «Эльбрус-S» работал на частоте 250 МГц, которая совпадала с частотой памяти и была в 2 раза меньше системной частоты, на которой формировались запросы и посылались ответы в систему. В новой микросхеме системная частота осталась равной 500 МГц, а физический уровень памяти работает на 400 МГц, причем из-за сложности оптимизирующего ядра контроллера частота его работы составляет 200 МГц.

Доработанный контроллер памяти MC_top (рис. 1) состоит из двух одноканальных контроллеров MC#1 и MC#2, модулей интерфейса системы с контроллерами mc_int#1 и mc_int#2, модуля приема данных их памяти mc_mrg и модуля формирования служебных сигналов согласования частот mc_clabel. Взаимодействие между памятью и контроллером обеспечивают модули физического интерфейса mc_phy#1 и mc_phy#2.

Основной сложностью при усовершенствовании контроллера стала разработка новой системы синхронизации. В СНК «Эльбрус-S2» число доменов синхронизации увеличилось до трех, кроме того, отношение частот стало нецелым ($5/2$, $5/4$), что не позволило использовать старую схему. Для междоменного согласования были использованы метки пересинхронизации, которые учитывают положение фронта высокой частоты относительно фронта низкой. Главными преимуществами этого решения являются минимальная задержка и фиксированная временная диаграмма передачи данных между доменами разных частот, что облегчает поиск и устранение ошибок.

Формирование меток пересинхронизации осуществляется в модуле mc_clabel. Главной задачей при этом стала реализация гибкой настройки сигналов согласования для различных соотношений частот. Была разработана схема на основе управляющих регистров с циклическим доступом. Их длина соответствует периоду биений синхросигналов двух доменов, выраженному в тактах домена с большей частотой, а значения бит – разрешенным фронтам передачи/приема (для их определения было проведено специальное исследование). Текущее значение метки загружается из управляющего регистра по фронту более высокой частоты. Для передачи данных между доменами с близкими частотами (с минимальным временным интервалом между фронтами синхросигналов 0.5 нс и меньшим) используется дополнительная метка и регистры, работающие по отрицательному фронту синхросигнала.

В связи с изменением схемы синхронизации существенные изменения введены в модули интерфейса с системой mc_int# и модуль приема данных из памяти mc_mrg.

Были разработаны модули передачи данных между доменами с учетом меток пересинхронизации для всех соотношений частот. Также, в связи с увеличением пропускной способности памяти были расширены каналы выдачи данных по чтению в другие процессоры и при операции Чтение-Модификация-Запись.

Серьезные доработки внесены и непосредственно в контроллеры памяти. Разработан новый модуль формирования команд с интерфейсом DDR2 и поддержкой режима 2Т (режим расширения фазы команды/адреса на интерфейсе DDR2 SDRAM до двух тактов). Так как весь интерфейс контроллеров с физическим уровнем `mc_phy#` работает на частоте памяти, а ядро контроллера - на частоте в два раза ниже, была реализованы дополнительные схемы пересинхронизации между этими доменами. Кроме того, были изменены все временные ограничения в соответствии со стандартом DDR2 – новые параметры учитывают задержки пересинхронизации и наличие дополнительных регистров, которые пришлось добавить при проведении синтеза.

Несмотря на увеличение числа доменов синхронизации, минимальное время доступа в память осталось равным 60 нс, как и в СНК «Эльбрус-S». Это достигнуто, благодаря правильно выбранной схеме синхронизации и оптимизациям при ее реализации. (При синтезе контроллера памяти в Design Compiler фирмы Synopsys было проведено исследование по заданию правильных ограничений на передачу между доменами в соответствии с реализованной схемой.)

Описанные доработки контроллера памяти могут быть использованы и в других проектах. Уже сейчас новый контроллер применяется не только в СНК «Эльбрус-S2», но и в микропроцессоре «МЦСТ-4R», построенном на архитектуре SPARC. Внесенные изменения позволяют осуществлять дальнейшее повышение частоты поддерживаемой памяти, благодаря работе ядра только на половинной частоте. Существенно, что разработанная система синхронизации, которая имеет минимальные задержки передачи данных и отличается гибкой настройкой рабочих частот (поддерживает различные соотношения частот и задание любого количества доменов), может быть использована и в других устройствах, где есть разные домены синхронизации.

Литература

1. *В. Волконский, А. Ким, Л. Назаров, В. Перекатов, В. Фельдман* Микропроцессоры и вычислительные комплексы российской компании МЦСТ // Электроника. – 2008. – №8.
2. DDR2 SDRAM Specification, version JESD79-2E // www.jedec.org, JEDEC – 2005