

### Разработка контроллера встроенного интерфейса AXI в составе системы-на-кристалле

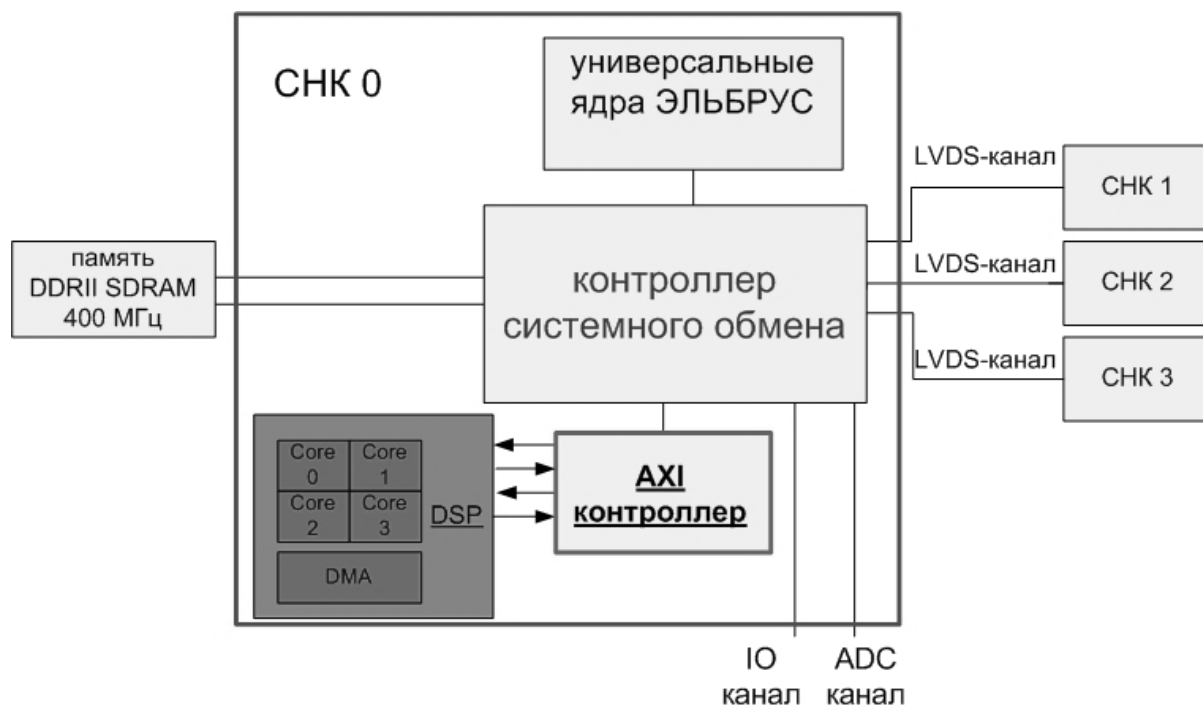


Рис.1. Структурная схема СНК

В ходе выполнения совместной опытно-конструкторской работы ЗАО «МЦСТ» и ГУП НПЦ «ЭЛВИС» ведут разработку СБИС цифровой обработки сигнала типа «система-на-кристалле» (СНК) для применения в комплексах обработки радиолокационной информации в режиме жесткого реального времени. В состав СНК входят два универсальных ядра с архитектурой “Эльбрус” [1] и контроллер системного обмена разработки МЦСТ и четырёхъядерный сигнальный процессор (DSP-кластер), разработанный компанией “ЭЛВИС”. Контроллер системного обмена позволяет через LVDS-каналы объединять до четырёх СНК в одну систему с распределённой памятью (рис. 1).

Связь универсального процессора с процессорными ядрами цифровой обработки сигналов (DSP0 – DSP3) осуществляется на основе интерфейса, выполненного по стандарту AMBA AXI 3.0 фирмы ARM [2], для чего был разработан контроллер AXI. Обмен данными между DSP и универсальными ядрами может инициироваться обеими сторонами.

Ядрам “Эльбрус” для управления работой DSP-ядер доступны все адресуемые ресурсы кластера. Процессорные чтения и записи памяти и регистров DSP не отличаются от IO-обмена с внешними устройствами и характеризуются низким темпом поступления запросов, порядка 1 запроса в 60 тактов от каждого ядра.

DSP-кластер содержит в своем составе 8-канальный контроллер DMA (Direct Memory Access), который, выполняя задания от универсальных ядер, осуществляет обмен данными между ядрами DSP, памятью DSP и памятью всей СНК в качестве устройства AXI Master. Обмен с памятью СНК именуется DMA-обменом и предназначен для передачи данных DSP-кластеру на обработку. Для него характерна передача больших массивов данных.

В процессе работы была создана синтезируемая Verilog-модель 4-канального AXI-контроллера (DMA-чтение, DMA-запись, IO-чтение, IO-запись), учитывающая особенности обоих типов обменов. Контроллер состоит из интерфейсной части и самого контроллера и отличается следующими свойствами:

1. В интерфейсной части реализовано преобразование пакетов данных и запросов из формата AXI в формат, поддерживаемый ядрами “Эльбрус”. При этом выдача запросов оптимизирована таким образом, что запросы со смежными адресами объединяются в один. Это позволяет увеличить темп обработки DMA-чтений.

2. Реализована поддержка когерентности: данные в ответ на запрос по DMA-чтению могут одновременно прийти как из памяти DDRII SDRAM, так и из кэш-памяти любого процессорного ядра.

3. В устройстве используются буфера данных с размером ячейки, изменяемым в зависимости от объема запрашиваемых данных, что обеспечивает полное использование буфера.

4. Оптимизирована обработка запросов на чтение из процессора. В контроллер системного обмена на запрос по чтению всегда выдаётся 32 или 64 байта, но в AXI отправляется запрос на чтение необходимого количества двойных слов (8 байт). Пришедшие данные вставляются в ячейку буфера данных, соответствующую последним разрядам адреса.

С помощью Verilog-модели AXI-контроллера были измерены фактические характеристики устройства: для DMA-обмена измерялась средняя скорость передачи данных, а для IO-запросов – время обработки (от поступления в контроллер запроса до выдачи ответа). Средняя скорость передачи данных при DMA-чтении достигает 2,7 Гбайт/с, при записи - 4 Гбайт/с (частота синхронизации каналов данных 500 МГц).

Длительность Ю-чтения составила в среднем 11 тактов, Ю-записи – 18 тактов (отметим, что средняя длительность доступа к оперативной памяти составляет 60 тактов).

Помимо применения в рамках данного проекта разработанный контроллер может быть использован в будущих проектах. При включении в состав системы других устройств ввода-вывода можно изменить лишь его интерфейсную часть, а остальное оборудование оставить без существенных изменений.

#### **Литература**

1. *В. Волконский, А. Ким, Л. Назаров, В. Перекатов, В. Фельдман* Микропроцессоры и вычислительные комплексы российской компании МЦСТ // Электроника. – 2008. - №8.
2. AMBA AXI Protocol Specification, version 1.0 // ARM Limited. - 2004.