

УДК 004.3'1

А.Е.Шерстнёв

ЗАО «МЦСТ»

ОАО «ИНЭУМ»

Применение программируемых логических интегральных схем для решения задачи автоматической генерации тестовых кодов

Автоматическая генерация тестовых кодов (ATPG - Automatic Test Pattern Generation) - процесс формирования тестов для электронных схем, при котором определяется последовательность входных воздействий (тестовых векторов), позволяющая делать заключение о корректности работы цифровой схемы.

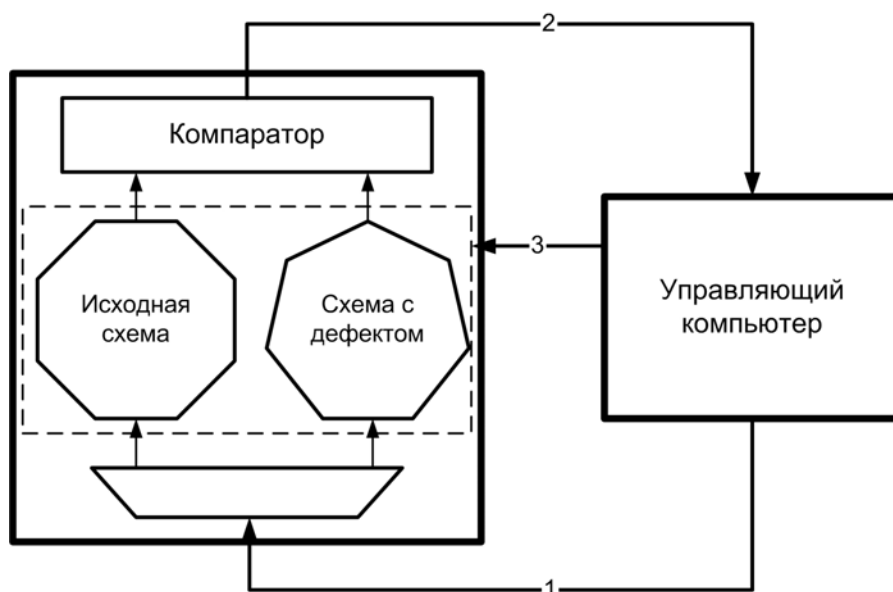
Сформированные таким образом наборы тестовых векторов используются для отбраковки кристаллов после изготовления, а в некоторых случаях и для локализации неисправности[1]. Эффективность (покрытие) ATPG выражается в количестве протестированных дефектов, которые могут возникнуть в схеме, а также типом этих дефектов. Дефекты могут возникнуть на стадии производства кристалла. Модель дефекта - математическое описание того, как рассматриваемая неисправность изменяет поведение дефектной схемы по отношению корректной (исходной). Тест обнаруживает дефект, если при подаче на вход дефектной схемы тестовых воздействий имеются различия в значении хотя бы одного выходного сигнала по сравнению с исходной схемой. Процесс ATPG, направленный на обнаружение определённого дефекта, состоит из двух фаз: внесение ошибки и распространение ошибки. Внесение ошибки заключается в подаче такого входного тестового вектора, при котором поведение исходной и дефектной схем будут различны. Процесс распространения ошибки нужен для вывода искажённого в результате дефекта сигнала на выходные порты тестируемой логической схемы.

Несмотря на то, что на ранних этапах развития ATPG рассматривалось множество моделей дефектов[2], в последние десятилетия в ATPG используется модель константного логического значения (stuck-at fault), то есть модель "залипания" сигнала. В этой модели предполагается, что некоторый проводник в схеме имеет постоянное значение "0" или "1" независимо от входных воздействий на схему.

С увеличением числа входных портов и количества внутренних состояний тестируемого устройства множество тестовых векторов, а значит и время проверки, увеличиваются по экспоненциальному закону. Поэтому для сокращения времени подбора достаточного числа тестовых векторов применяют технику декомпозиции сложной логической схемы на несколько относительно небольших комбинационных блоков, хорошо поддающихся анализу. Каждый такой блок анализируется на предмет возможных дефектов. Далее, формируется набор тестовых векторов, выявляющий каждый из этих дефектов. Поиск в большинстве случаев производится посредством компьютерного моделирования, при котором сравнивается поведение нормального и дефектного блока при подаче определённого входного воздействия. Если поведения различны, дефект считается определяемым, а соответствующее входное воздействие заносится в список тестовых векторов для анализируемого блока. Данный процесс заканчивается, когда будут подобраны тестовые векторы для всех возможных дефектов. Для больших схем рассмотренный процесс может потребовать значительных затрат временных и вычислительных ресурсов.

Предлагается оптимизация решения задачи ATPG за счёт использования ПЛИС¹ для моделирования поведения тестируемого блока. Частоты функционирования современных микросхем ПЛИС (>200МГц), позволяют добиться 10-100 – кратного выигрыша в скорости моделирования. Реальное повышение скорости зависит от тестируемой схемы, а также от используемого алгоритма программного моделирования. На рис. 1 приведена тестовая система. Она представляет собой управляющий компьютер, подключенный к модулю с ПЛИС. Управляющий компьютер производит выбор очередного тестируемого блока и типа дефекта, конфигурирует ПЛИС, и подаёт последовательность входных воздействий. Результатом работы ПЛИС является ответ, подходит ли очередной тестовый вектор для выявления данного дефекта. При положительном ответе управляющий компьютер сохраняет тестовый вектор и производит переконфигурацию ПЛИС для определения следующего дефекта.

¹ Программируемая логическая интегральная схема



Рассмотренный метод позволяет значительно повысить скорость формирования тестовых векторов для задачи АТПГ при анализе больших логических схем. На данный момент в качестве ПЛИС удобнее всего выбрать микросхему фирмы Xilinx семейства Virtex5 [3], поскольку она обладает наиболее подходящей к данной задаче методикой переконфигурации отдельных областей в реальном времени.

Литература

1. *Lavagno, Martin, Scheffer* Electronic Design Automation For Integrated Circuits Handbook. - Ohio: ASM International 2004
2. *Brian Chess, Tracy Larrabee* Generating Test Patterns for Bridge Faults in CMOS ICs. - Santa Cruz: Department of Computer Engineering, University of California 1994
3. *Harsh Dhand, Neeraj Goel, Mukesh Agarwal, Kolin Paul* Parynamic reconfiguration in Xilinx FPGAs - a quantitative study. In Proc of VLSI Design And Test Symposium(VDAT 2005), Bangalore, India, August 2005

Рис. 1. Структурная схема системы поиска тестовых векторов. 1 – Канал подачи входных воздействий, 2 – Результат сравнения откликов схем на входное воздействие, 3 – Канал переконфигурации ПЛИС