Московский физико-технический институт (ГУ)
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники

Магистерская диссертация

РАЗРАБОТКА ПОТАКТОВЫХ МОДЕЛЕЙ УСТРОЙСТВ МИКРОПРОЦЕССОРА «ЭЛЬБРУС-2S»

Студент: Лагутин Александр, группа 718
Научный руководитель: к. т. н. Волконский В. Ю.

Формулировка проблемы

- Верификация устройств
  - Кэш справочника
  - Устройство поддержки порядка выполнения обращений в память кэша второго уровня (L2 Arbiter Order)
  - Контроллер памяти
- Необходимость разработки потактовых моделей
  - Проверка функциональности конвейеризированных устройств
  - Учет очередности выполнения запросов и временных характеристик
- Разработанные модели устройств должны иметь возможность повторного использования в симуляторе «Эльбрус-2S»

Постановка задачи

- Анализ средств разработки потактовых моделей
- Создание библиотеки для проектирования потактовых моделей
- Разработка потактовых моделей устройств
  - Кэш справочника
  - L2 Arbiter Order
  - Контроллер памяти

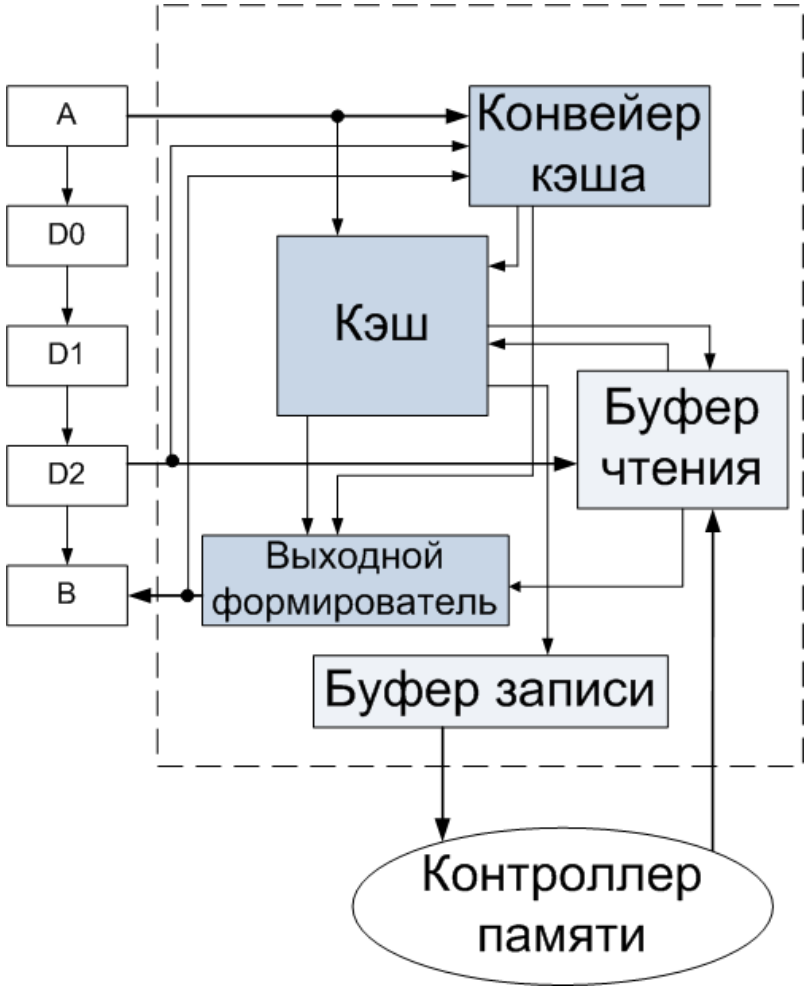
Анализ средств разработки потактовых моделей

	LSE	SystemC 2.0	Asim	BSV
Повторное использование в симуляторе процессора «Эльбрус-2S»	+/-	+/-	-	-
Соответствие рабочему процессу МЦСТ	+	-	+	-
Скорость моделирования	Высокая	Высокая	Низкая	Низкая
Сложность разработки, отладки и поддержки модели	Высокая	Высокая	Низкая	Средняя
Подключение к тестовому окружению без использования дополнительных инструментов	-	+	-	+
Открытый исходный код	+	+	+	-

Требования к разрабатываемой библиотеке

- Подключение к уже разработанному тестовому окружению
- Разделение функциональной и временной частей модели
- Повторное использование в симуляторе процессора «Эльбрус-2S»
- Высокая скорость моделирования по сравнению с моделированием RTL

Кэш справочника

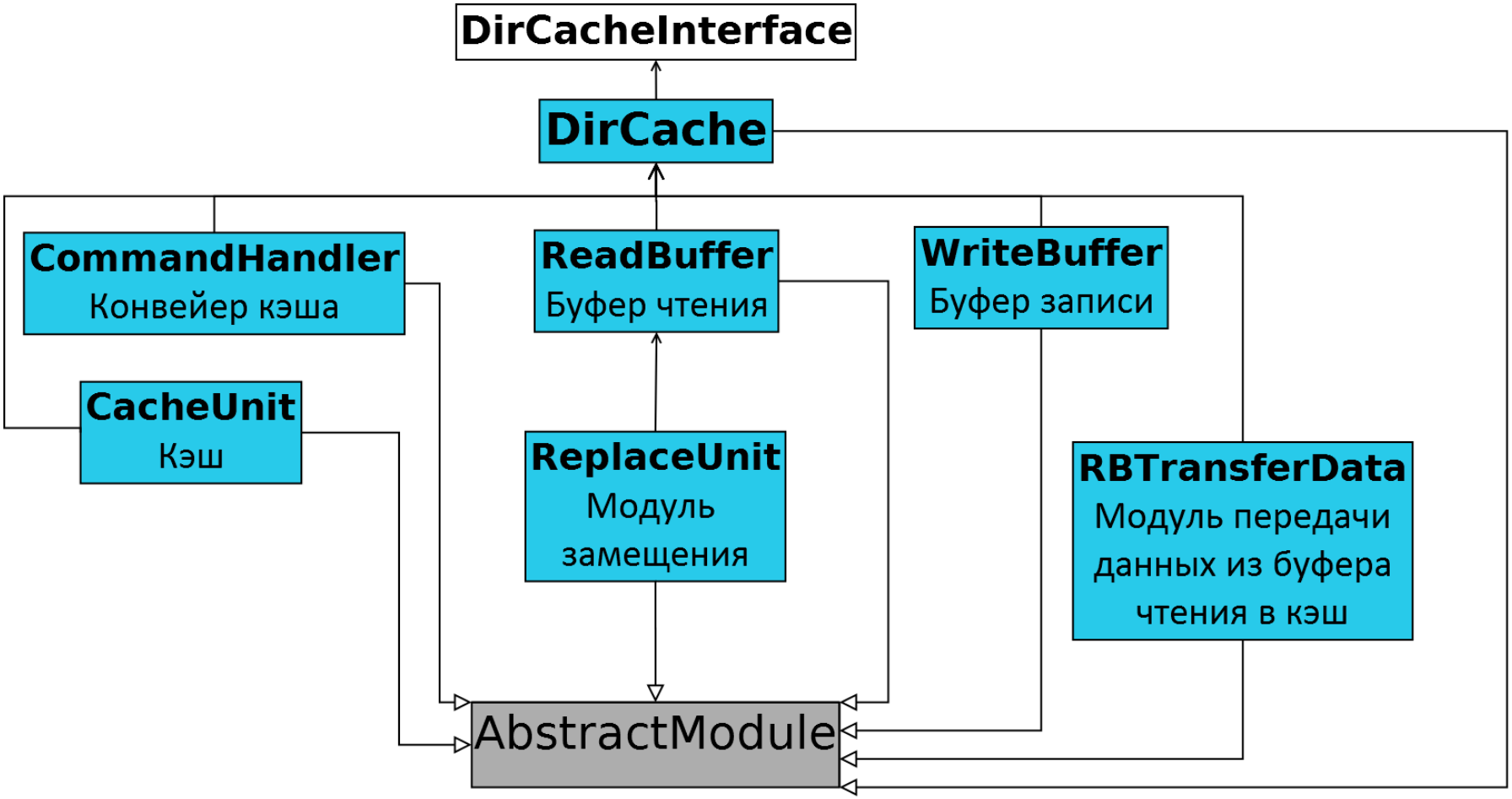


- Сокращение потока служебных данных по межпроцессорным связям

Причины выбора потактового моделирования

- Конвейеризированная обработка данных
- Входит в состав потактовой модели системного коммутатора

Модель кэша справочника
Структура потактовой модели



Модель кэша справочника Особенности реализации

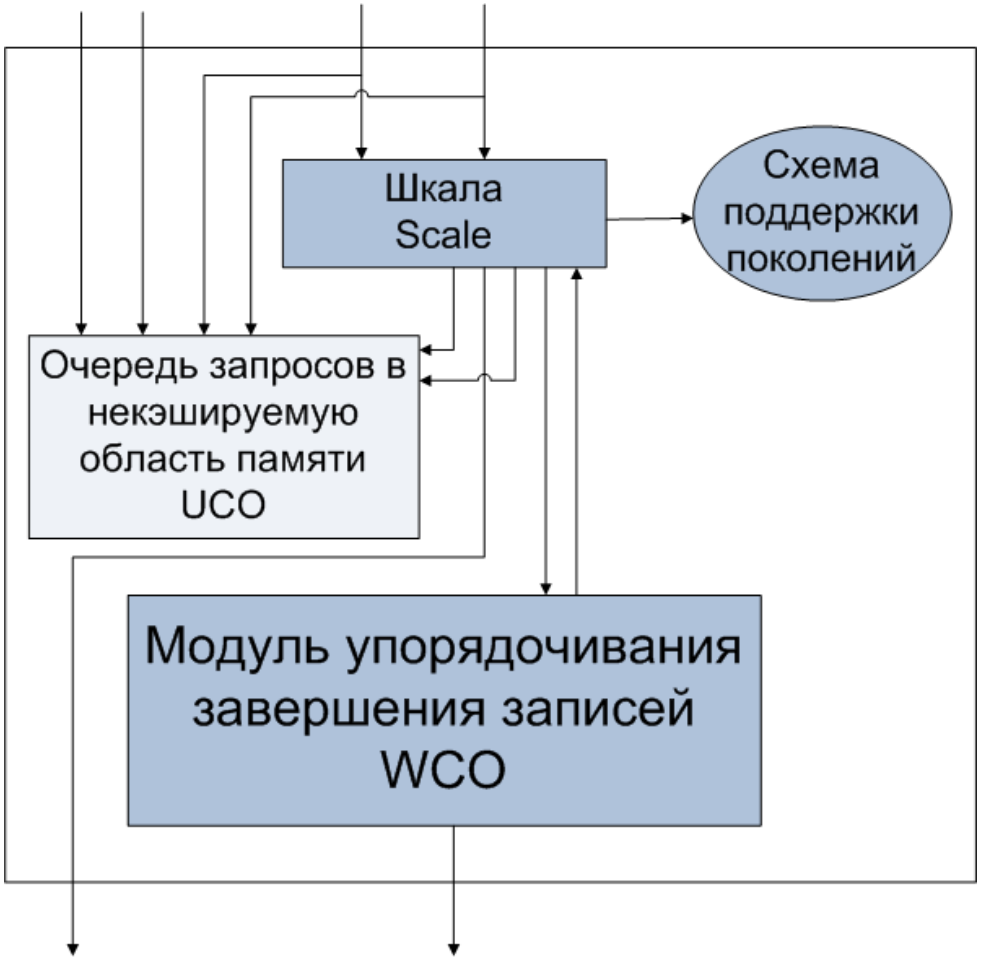
- Конвейеризированная обработка запросов

  Устройство работает в соответствии с основным конвейером ядра микропроцессора
- Отсутствие задержек при переходах между стадиями конвейера

  Некоторые модули содержат переходы с нулевой задержкой, поэтому пришлось модифицировать их исходный алгоритм
- Реализация блокировки доступа к кэш-памяти

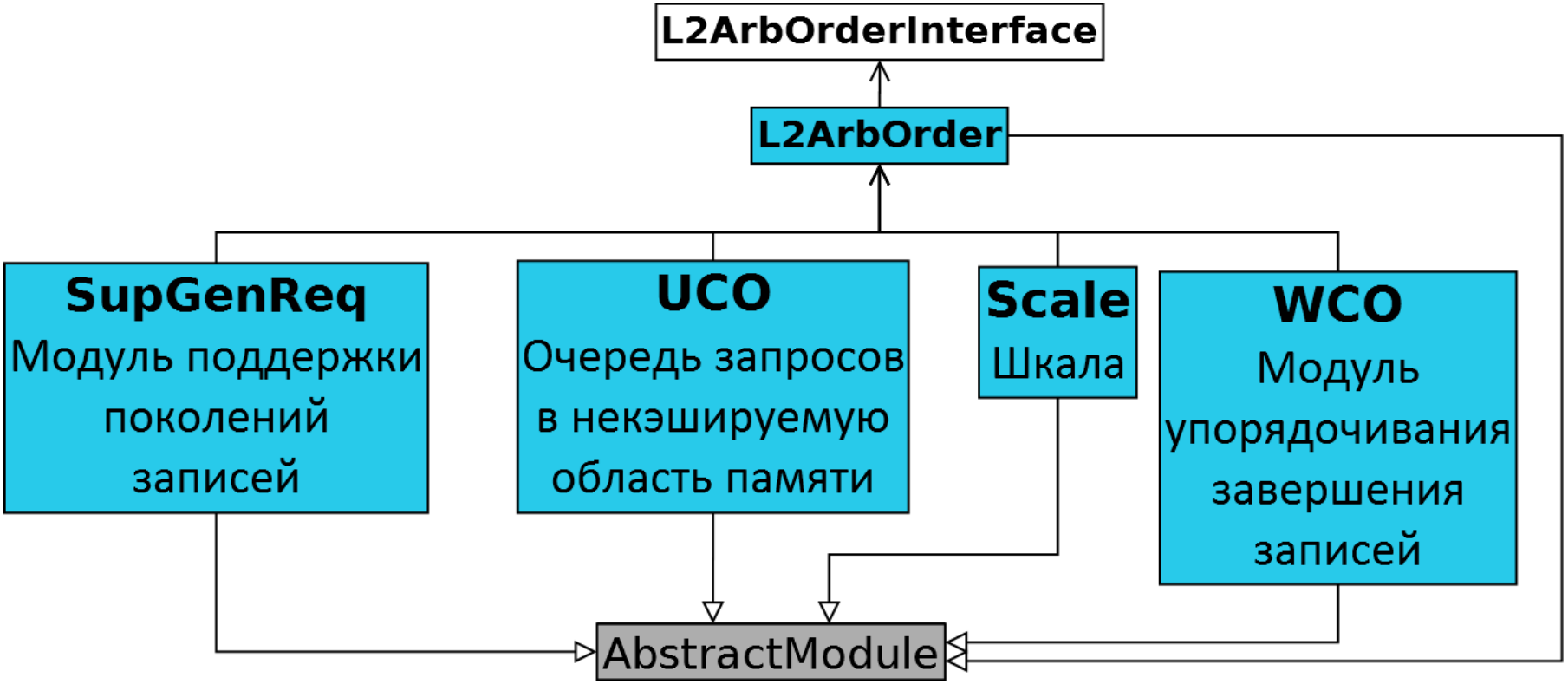
  Параллельные процессы имеют доступ в кэш, поэтому пришлось реализовать логику для блокировки одновременного доступа к нему

L2 Arbiter Order



- Поддержка поколений операций записи
- Поддержка барьерного исполнения операций в некэшируемый тип памяти (Uncacheable - UC)
- Поддержка порядка выполнения операций во вторичном пространстве памяти

Модель L2 Arbiter Order
Структура потактовой модели

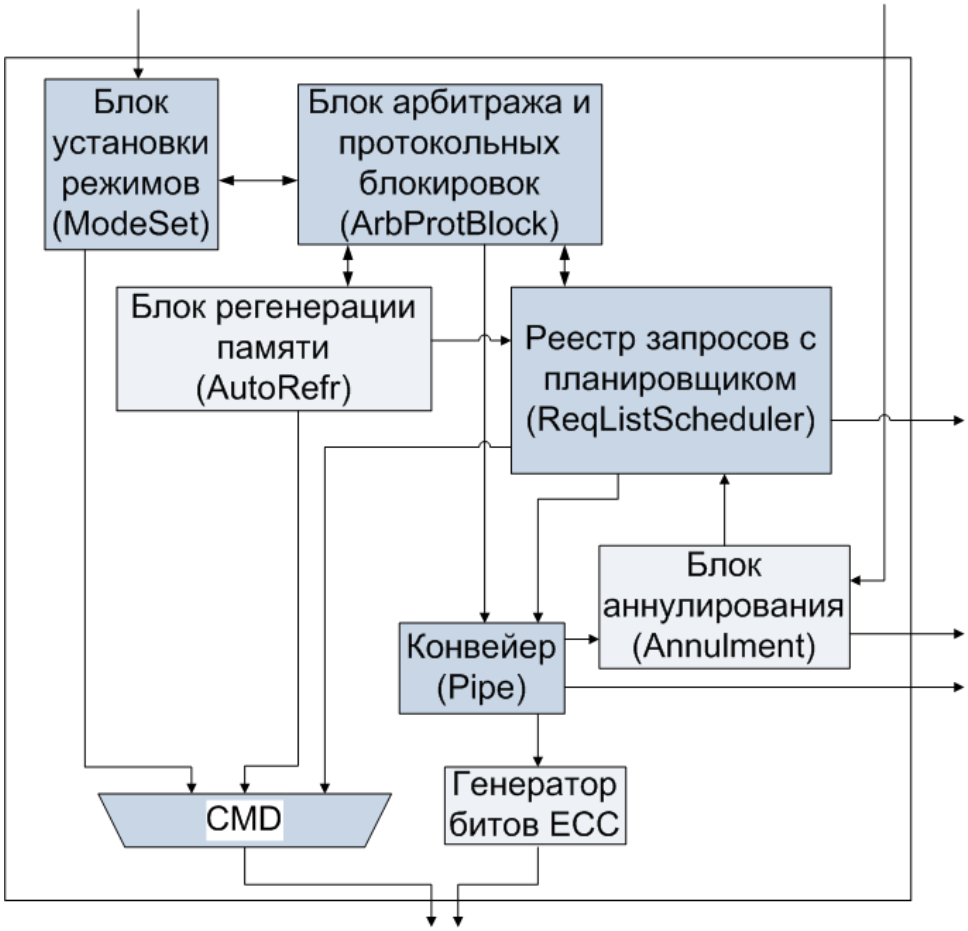


Модель L2 Arbiter Order Особенности реализации

- Конвейеризированная обработка данных

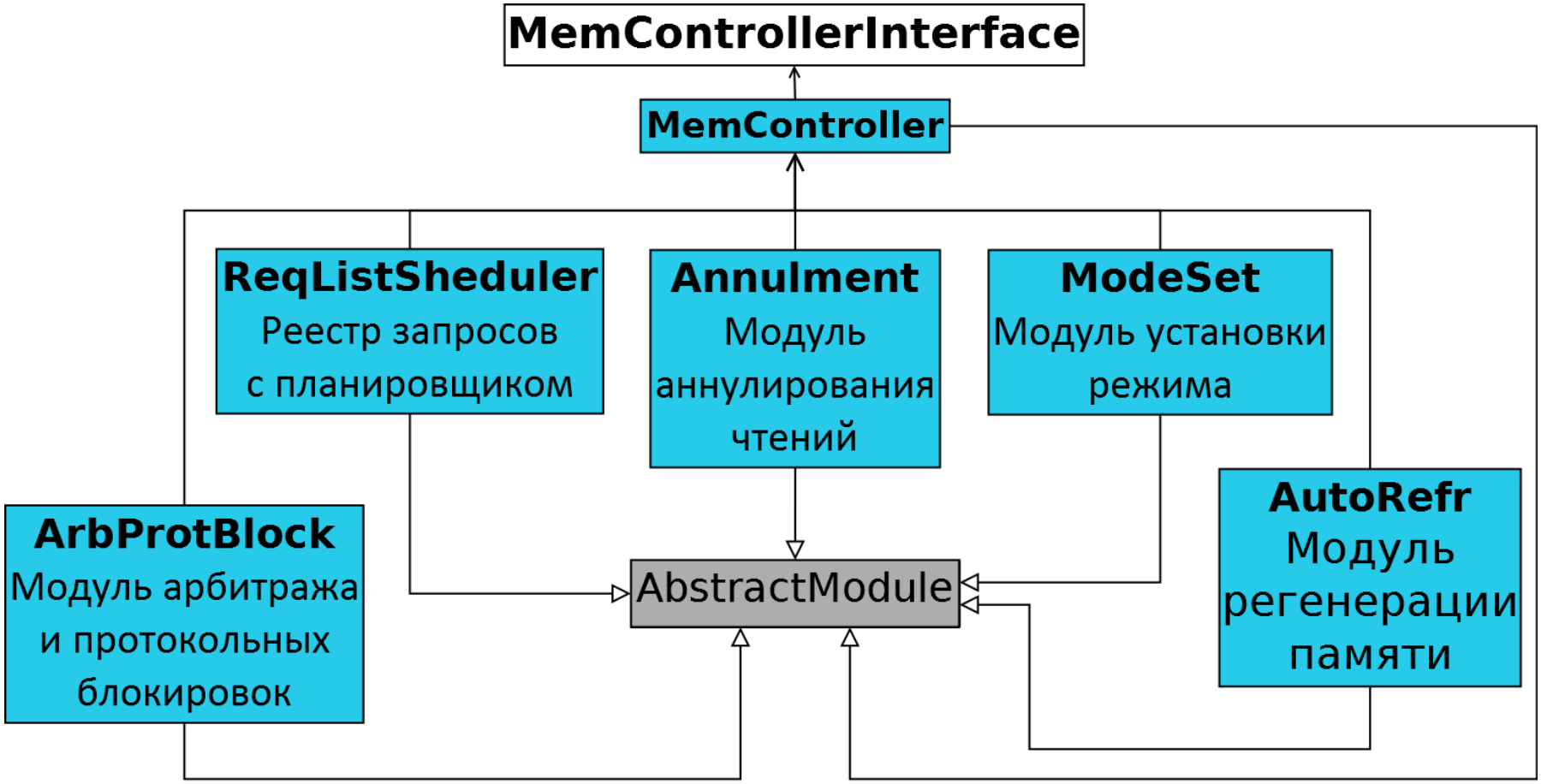
  Модули UCO, Scale и WCO работают в соответствии с основным конвейером ядра микропроцессора
- Модуль поддержки поколений операций записей содержит сложную логику

Контроллер памяти



- Планирование выдачи запросов
- Аннулирование запросов по чтению
- Проверка корректности данных
- Соответствие стандарту JEDEC

Контроллер памяти
Структура потактовой модели



Контроллер памяти
Особенности реализации

- Потактовая реализация таймеров
- Схема пересинхронизации с системной частоты на частоту контроллера
- Гибкое конфигурирование последовательности фильтров
- Инициализация и переконфигурирование модели контроллера

Библиотека для проектирования потактовых моделей

В составе библиотеки реализована следующая функциональность

- Базовые элементы
  - Таймеры и счетчики
  - Буферы
  - Очереди
- Модуль, реализующий базовую функциональность продвижения данных по конвейеру
- Система отладки

Свойства разработанной библиотеки для проектирования потактовой модели

Достоинства

- Адаптирована для повторного использования в симуляторе «Эльбрус-2S»
- Отслеживание конфликта наложения значимых данных
- Разделение функциональной и временной частей модели

Направления усовершенствования

- Возможность моделирования нулевых задержек между этапами
- Поддержка моделирования устройств с несколькими синхросигналами

Результаты

- Выполнен анализ существующих средств разработки потактовых моделей
- Разработана библиотека для проектирования потактовых моделей
- Реализованы потактовые модели
  - Кэш справочника
  - L2 Arbiter Order
  - контроллера памяти

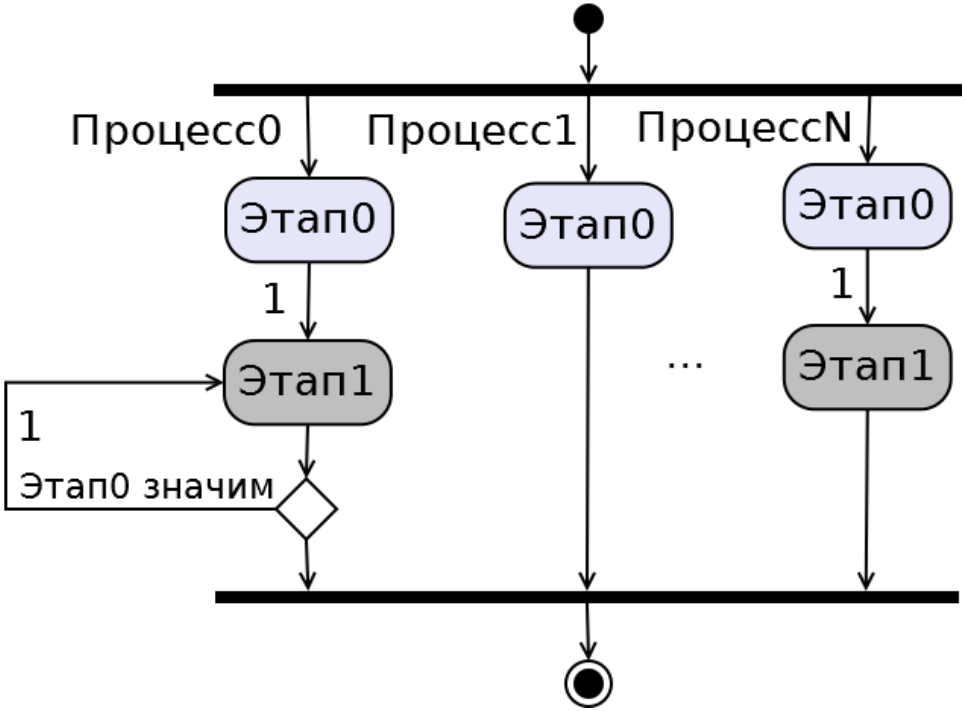
Результаты

Модуль	Строки кода	Найденные ошибки	
		RTL описания	спецификации
Кэш справочника	2675	18	3
L2 Arbiter Order	1686	5	0
Контроллер памяти	4114	18	6
Библиотека	1242		

Спасибо за внимание!

BackUp

Модель L2 Arbiter Order Особенности реализации

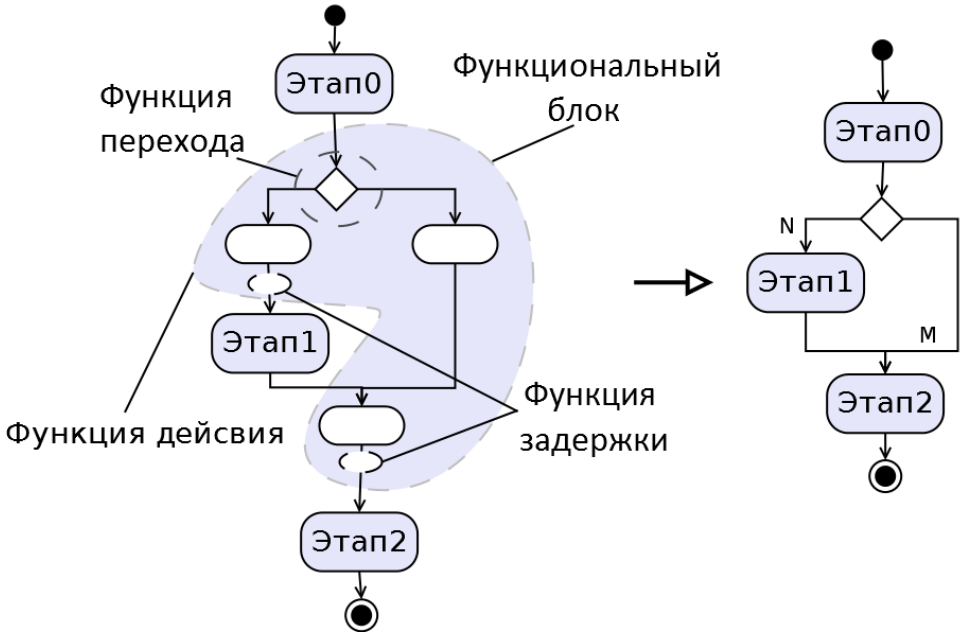


- Большое число параллельных процессов
- Разделение этапов вычисления и выдачи значений регистров
- Сложная логика взаимодействия процессов

Общая схема перехода от функциональной схемы к потактовой

Выделение этапов и определение функциональных блоков

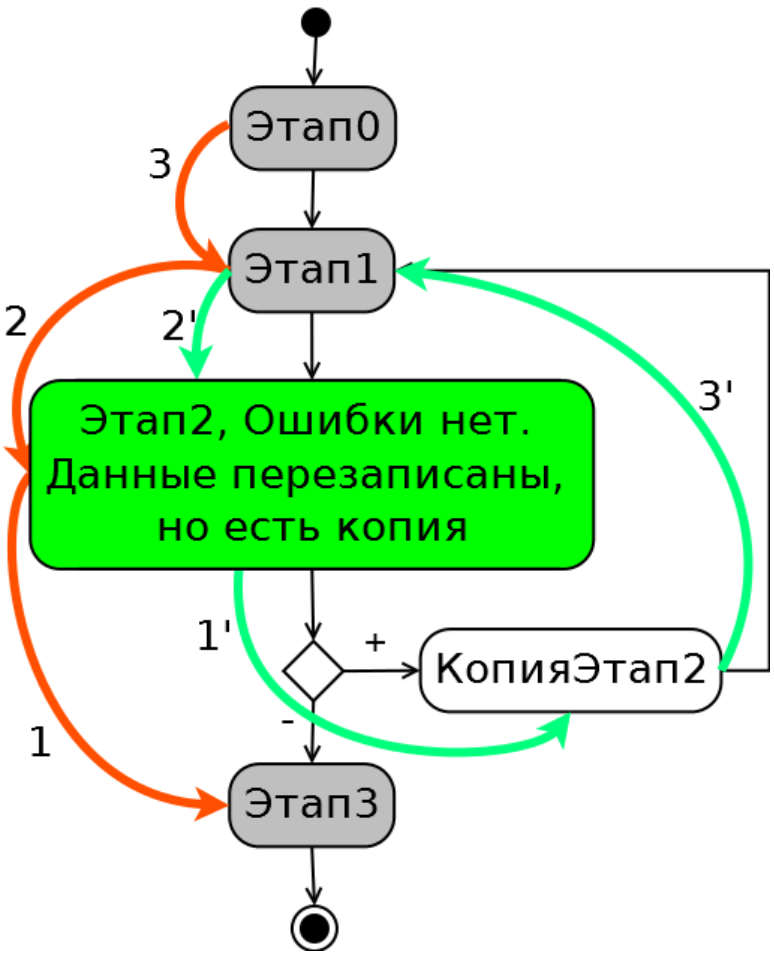
Построение потактовой схемы



Каждый такт состоит из двух стадий

1. Выполнение функциональных блоков в произвольном порядке
2. Передача данных по этапам

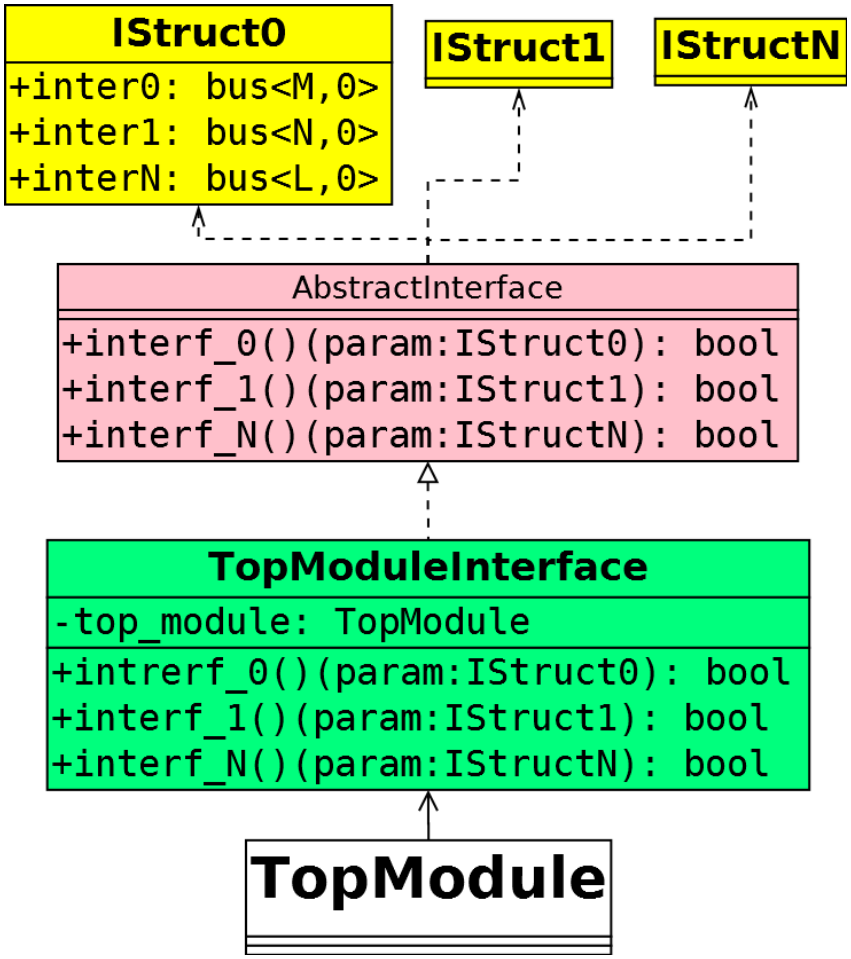
Общая схема
Реализация продвижения данных



Правила продвижения данных

- Переход между соседними этапами должен занимать не менее одного такта
- Продвижение начинается с последнего этапа
- Каждый этап имеет только один вход и один выход
- Все циклы должны быть с постусловием

Структура модели. Проектирование интерфейсов



Этапы проектирования

1. Выделение групп интерфейсов
2. Описание абстрактного класса интерфейсов
3. Реализация интерфейсов
4. Построение иерархии модулей
5. Подключение к внешним интерфейсам главного модуля

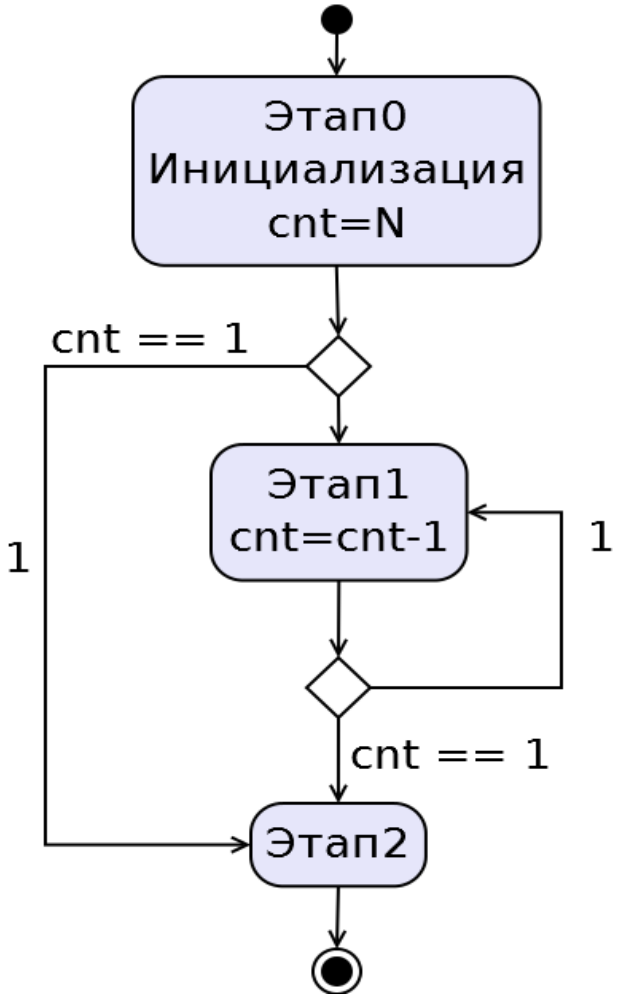
Особенности:

- Пользователь не имеет доступ к реализации;
- Изменение в группы не влияет на работоспособность модели.

Анализ языковых средств разработки потактовых моделей

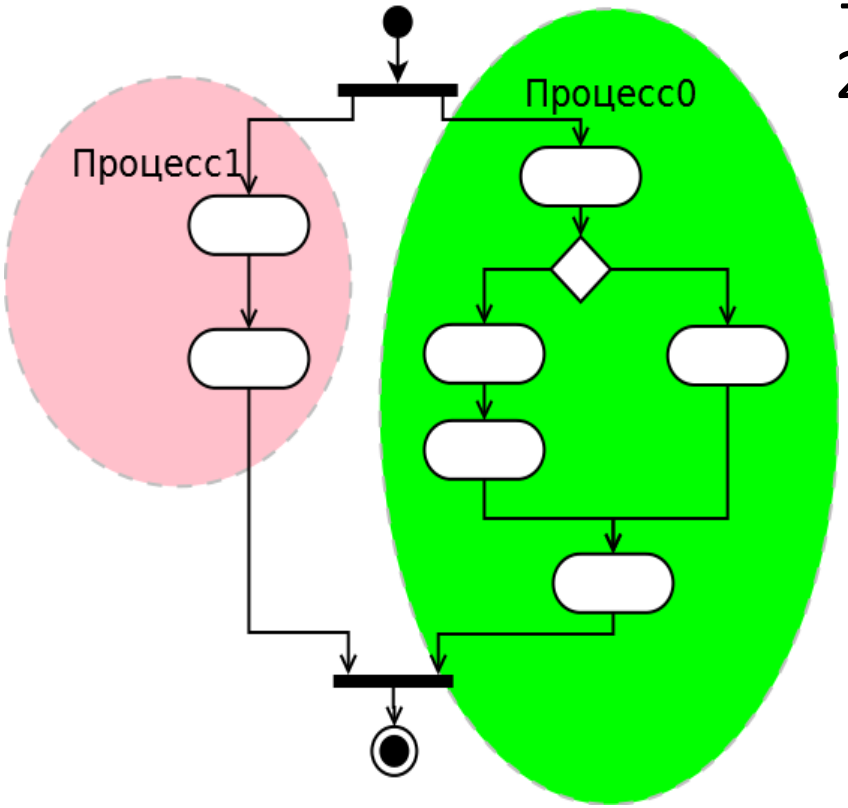
Язык программи-рования	Подключение к тестовому окружению	Гибкость	Использование блоков симулятора «Эльбрус-2S» и интеграция с другими моделями	Скорость моделирования
SystemC	+	+	-	Высокая
SystemVerilog	+	+	-	Низкая
Verilog	+	-	-	Низкая
Java и прочие	-	+	-	Средняя
C++	+	+	+	Высокая

Особенности реализации



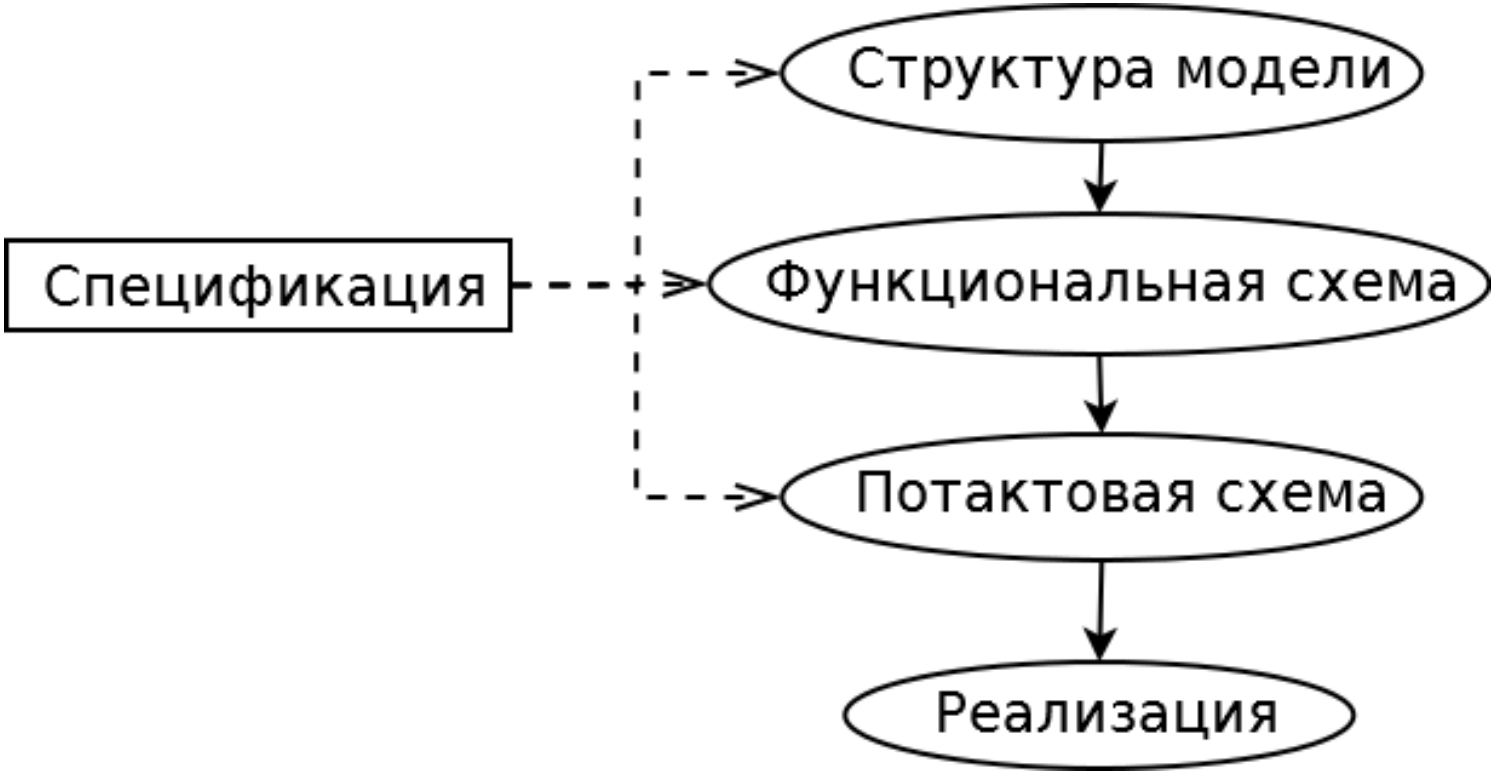
- Моделирование таймеров
- Отсутствие детальной спецификации на устройство

Функциональная схема

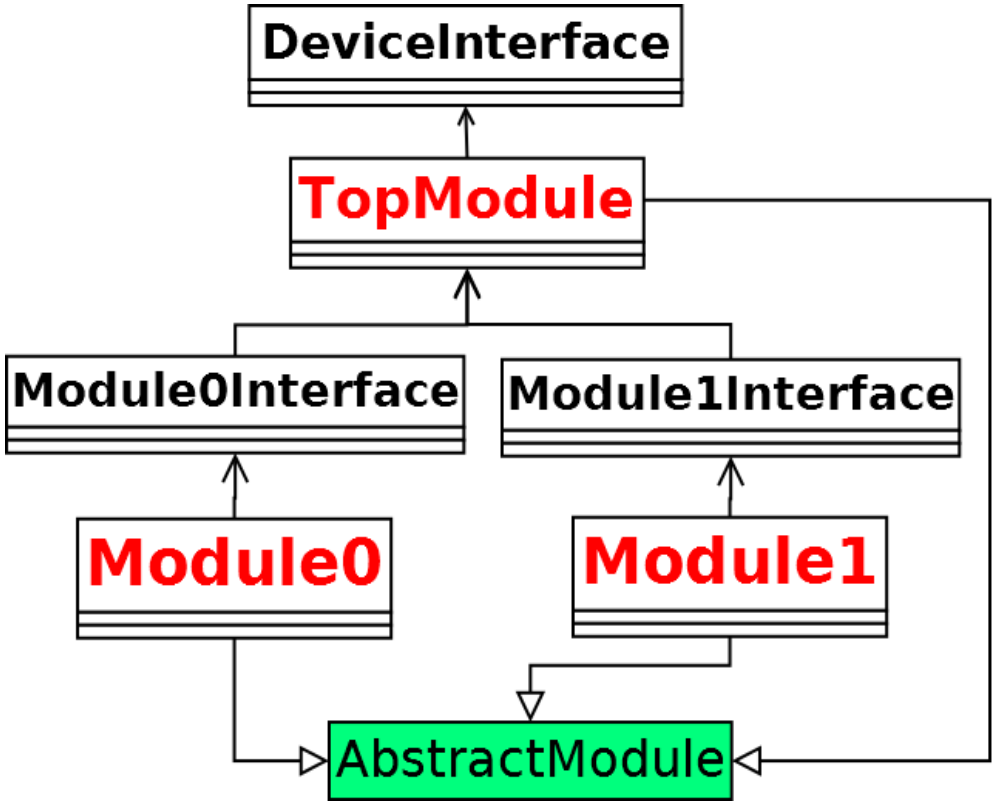


1. Выделение процессов
2. В каждом процессе выделяем порядок действий согласно спецификации (как можно детальней)

Этапы разработки потактовой модели

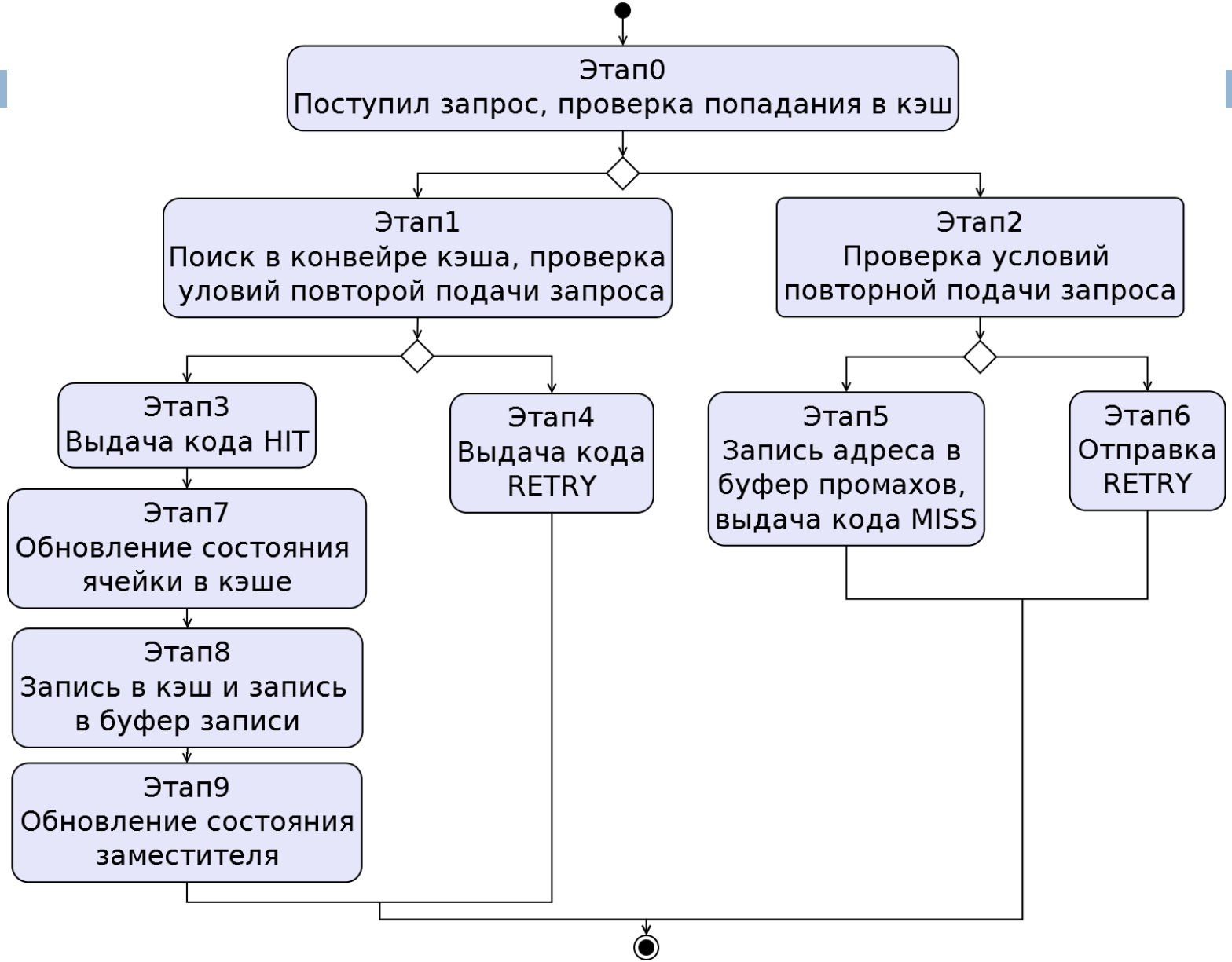


Структура модели. Проектирование иерархии модулей

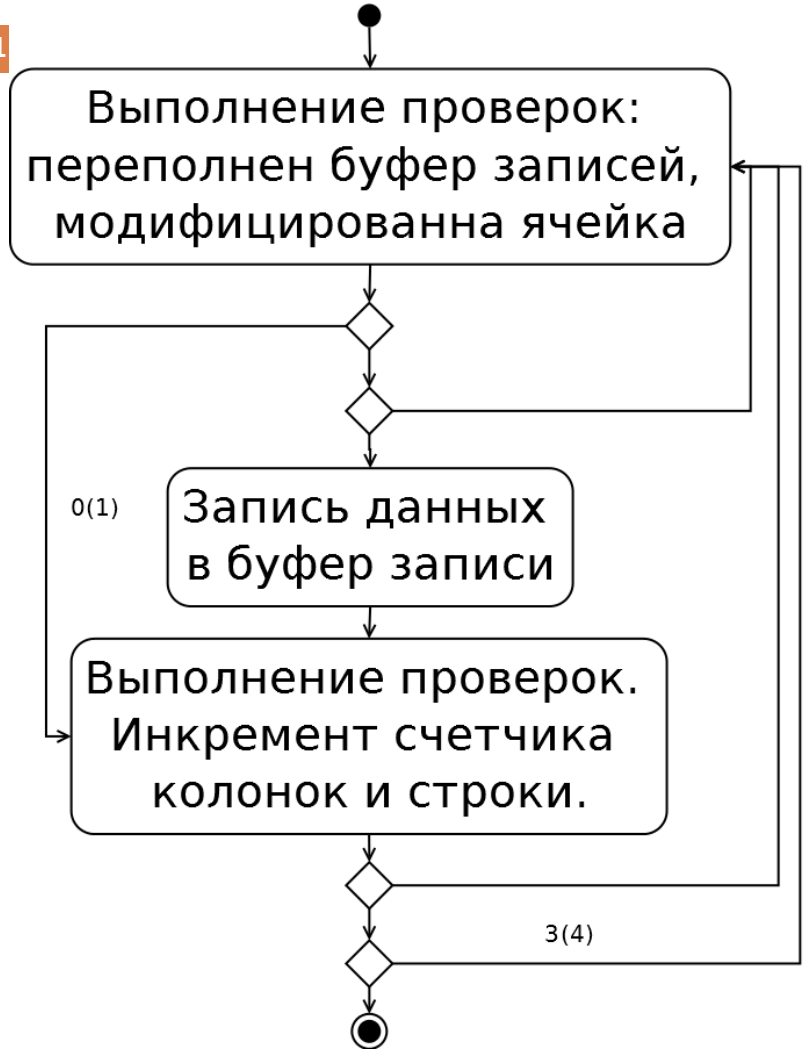


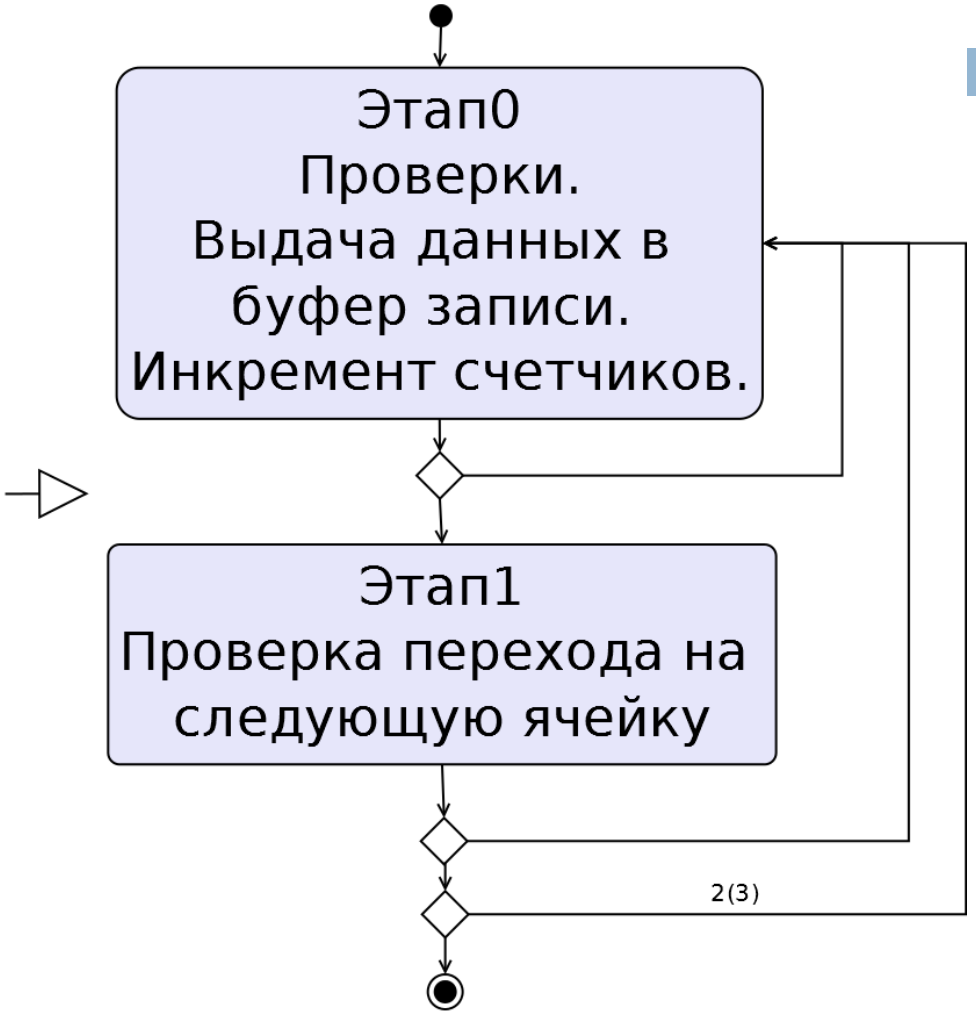
- Независимая разработка модулей
- Удобство объединения модулей
- Раздельная верификация

Процесс обработки запроса в кэш

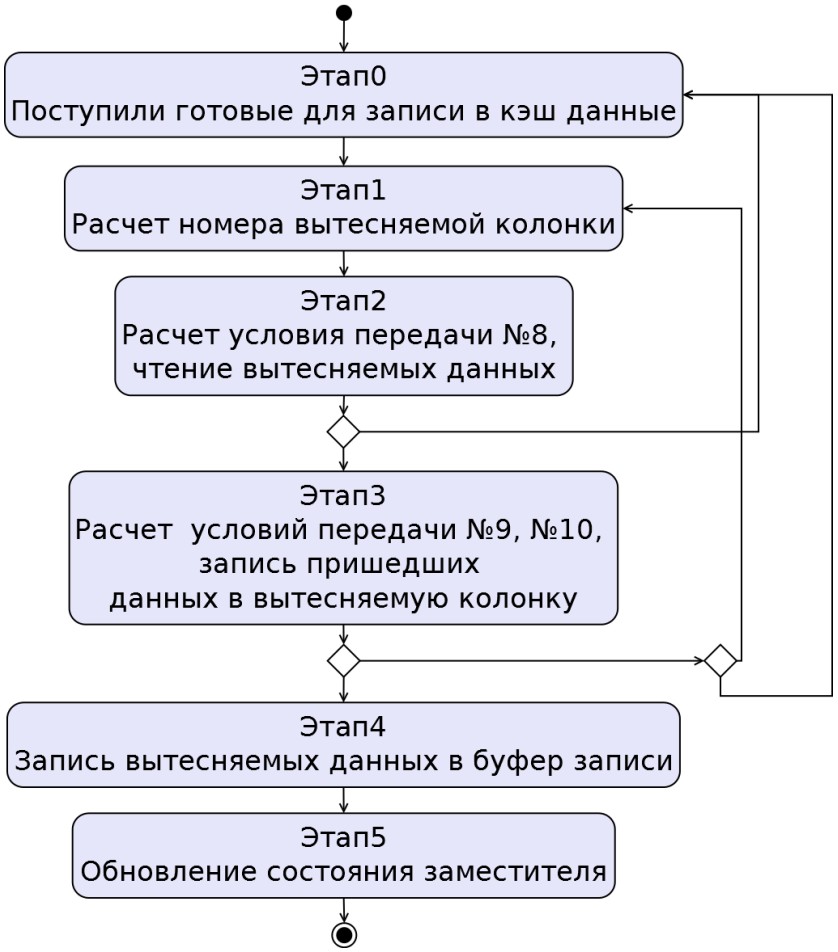


Отключение кэш-справочника

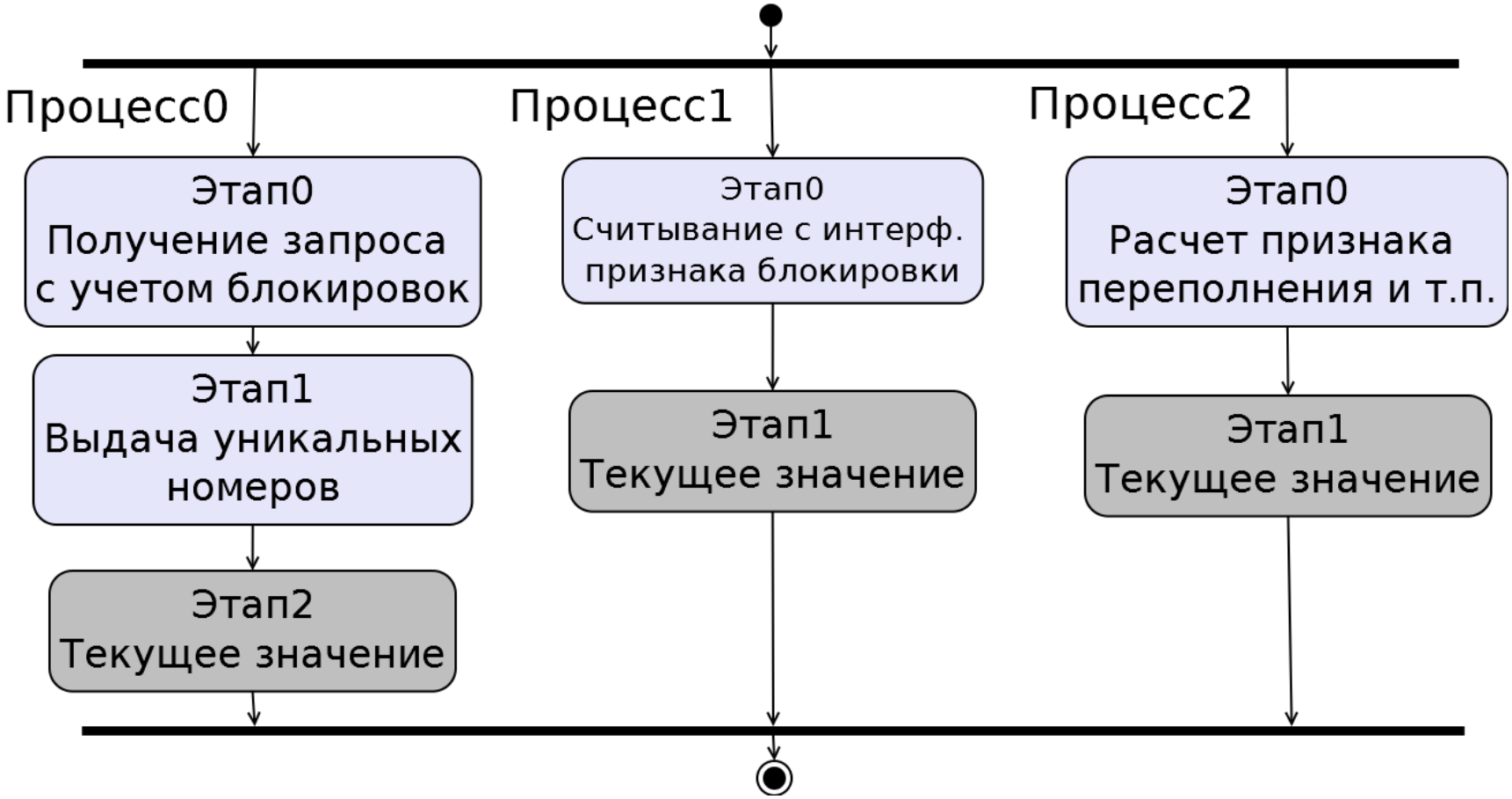
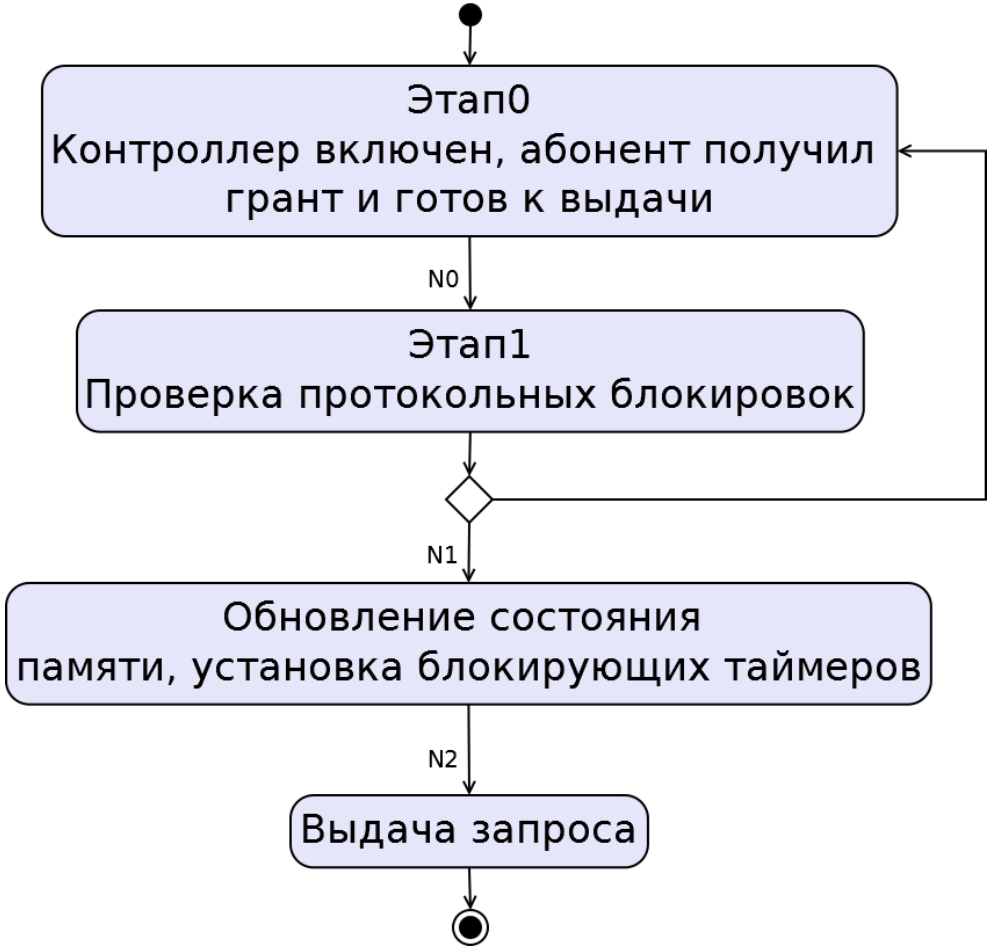




Процесс подгрузки данных из памяти в кэш



Процессы шкалы



Основной процесс контроллера памяти