УДК 004.3'142.22

Подготовка маршрута физического проектирования СБИС на примере подблока контроллера периферийных устройств

А. В. Колотов

Московский физико-технический институт (государственный университет)

ЗАО "МЦСТ"

При проектировании современной СБИС сначала описывается логика работы устройства на языках Verilog или VHDL.. После этого выполняется физическое проектирование устройства, которое включает в себя этапы синтеза, размещения, трассировки, оптимизации и верификации. Результатом этих действий является документация, необходимая для производства изделия на фабрике.[1]

Все эти этапы реализуются с использованием программных средств САПР, в данном случае САПР фирмы Synopsys. При их применении для проектирования цифровых устройств существуют различные подходы к управлению программными инструментами. Во всех инструментах Synopsys применяется GUI (Graphical User Interface), и весь цикл разработки (в рамках данного инструмента) можно провести последовательным выбором необходимых команд из меню, при этом меню расположены в порядке следования соответствующих этапов в маршруте проектирования.

Другим способом работы в САПР Synopsys является использование встроенного скриптового языка программирования TCL, при котором последовательность команд, управляющих процессом проектирования записывается в специальные командные файлы — скрипты. Маршрутом проектирования является последовательность таких скриптов, обеспечивающих весь процесс разработки. В нашем случае в разработчик может на определённых этапах разработки использовать уже готовые скрипты или дорабатывать их, если его не устраивают получившиеся результаты.

В рамках представляемой работы был создан маршрут проектирования для проекта контроллера периферийных интерфейсов под технологию 65 нм. Особенностью данного проекта является невысокая частота контроллера, что существенно облегчило достижение требуемых временных характеристик. Вследствие этого в маршрут были заложены решения направленные на уменьшение потребляемой мощности:

– реализована методика проектирования на стандартных элементах с высоким пороговым напряжением.

– проведено исследование эффективности работы различных сочетаний алгоритмов уменьшения мощности, применяемых в САПР, что позволило оптимально настроить

программные инструменты.

Литература

1. *Рабаи Ж.М., Чандракасан А., Николич Б*. Цифровые интегральные схемы. Методология проектирования. - М. - Спб. - Киев: ИД Вильямс, 2007. - 894 с.