

МОСКОВСКИЙ ФИЗИКО-ТЕХНИЧЕСКИЙ ИНСТИТУТ
(государственный университет)
ФАКУЛЬТЕТ РАДИОТЕХНИКИ И КИБЕРНЕТИКИ
КАФЕДРА ИНФОРМАТИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Пунь Андрей Богданович

Средства мониторинга и отладки на основе интерфейсов
I2C и JTAG для микропроцессора «Эльбрус-8С»

Выпускная квалификационная работа бакалавра

Студент: Пунь А.Б., ФРТК, 013 группа.
Научный руководитель: Костенко В.О.

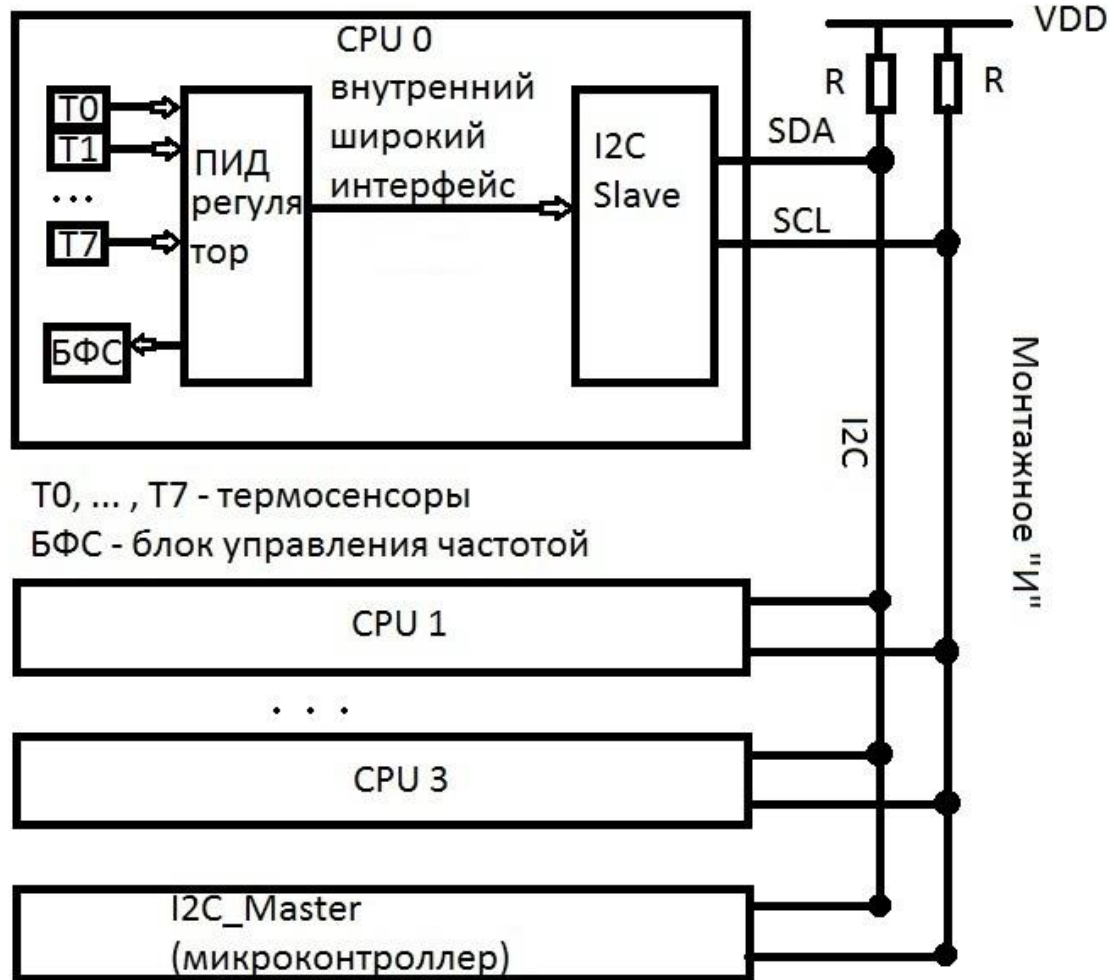
Интерфейсы мониторинга и отладки процессора «Эльбрус-8С»

- Интерфейс для мониторинга системных параметров – I2C
 - параметры – показания термосенсоров, текущее значение тактовой частоты (регулируется для ограничения температуры)
 - используется в процессорах Intel, AMD
 - любой современный микроконтроллер может получать указанные параметры с этой простой и распространенной шины, и использовать их для управления оборотами вентиляторов системы охлаждения процессора
- Интерфейс для отладки и отбраковки – JTAG
 - основной стандартный интерфейс (стандарт IEEE-1149.1)
 - используется в процессорах «Эльбрус» всех поколений и в большинстве современных микропроцессоров и других цифровых микросхемах
 - имеются универсальные JTAG-адаптеры для соединения с ПЭВМ

Цели

- Разработка RTL описания контроллера I2C_slave в составе системы контроля температуры и частоты (PCS – Power Control System) для процессора «Эльбрус-8С», удовлетворяющего следующим требованиям:
 - Минимальное время доступа к параметрам для мониторинга и максимальная пропускная способность шины I2C
 - Поддержка внутреннего широкого интерфейса для одновременного приема параметров (температуры и частоты)
 - Надежная работа контроллера с шиной I2C
- Разработка JTAG-адаптера
 - Программно совместимого с адаптером фирмы Corelis
 - Имеющего сравнимые характеристики при минимальной цене

Интерфейс I2C в процессоре «Эльбрус-8С»



T0, ..., T7 - термосенсоры
БФС - блок управления частотой

I2C

Две двунаправленные линии

SDA – Serial Data

SCL – Serial Clock

Монтажное «И»

Частота

Стандартный режим – 100 кГц

Быстрый режим – 400 кГц

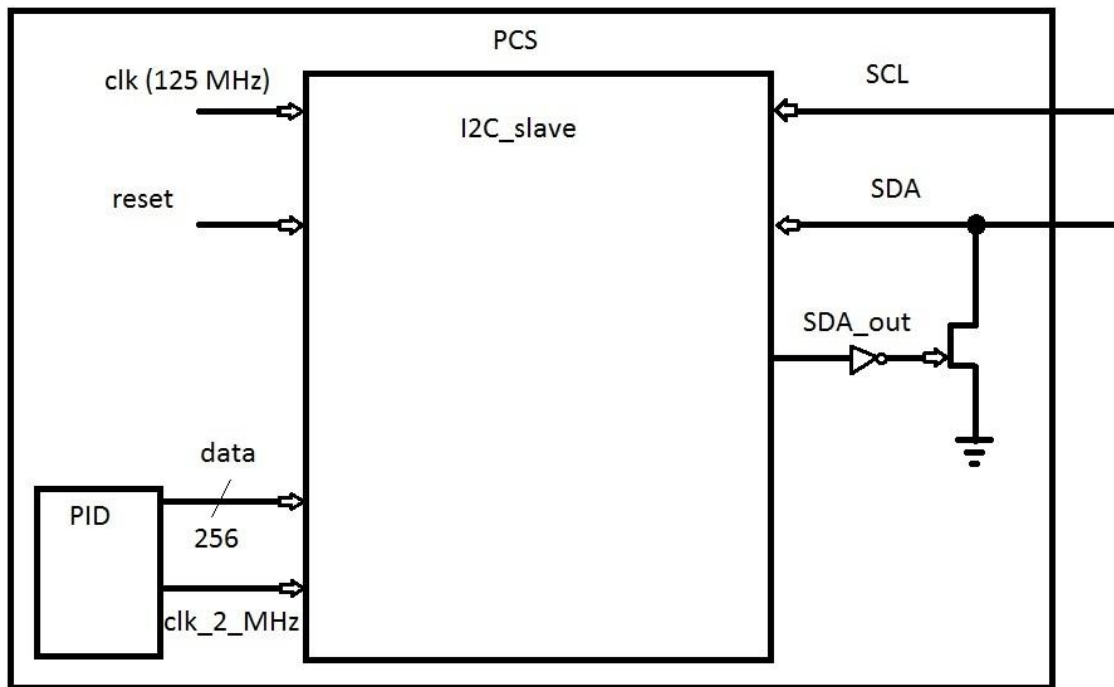
Обмен информацией – сообщениями, кратными 8 битам, в начале – старт бит, после каждого байта бит подтверждения (ACK бит), в конце обмена стоп бит

Монтажное "И"

ПИД регулятор – Пропорционально-интегрально-дифференциальный регулятор

Схема подключения I2C_slave в составе блока PCS в процессоре «Эльбрус-8С»

Внутренняя частота – 125 MHz



Выходной буфер с открытым стоком (не входит в состав I2C_slave)

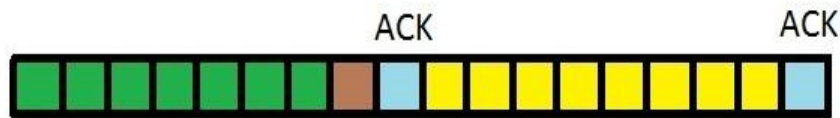
Сигналы внутреннего широкого интерфейса:

- data[255:0] – 16 параметров по 16 разрядов, первые 8 параметров – показания температур с термосенсоров, также максимальная температура, текущая частота и т.п.
- clk_2_MHz – тактовый сигнал, на частоте которого работает PID-регулятор и обновляется его выход data[255:0]

Минимальное время доступа к параметрам для мониторинга

Режимы адресации

Стандартный режим адресации



Адрес I2C_slave-а и бит R/W | Выбор параметра



Адрес I2C_slave-а и бит R/W

- 7 бит – адрес контроллера
- 8 бит – для выбора параметра

Предложенный режим адресации



Адрес I2C_slave-а,
выбор параметра, бит R/W

- 3 бита – адрес контроллера
- 4 бита – для выбора параметра

- Уменьшение накладных расходов на адресацию
- «Виртуальные» I2C_slave-ы
- Не используются зарезервированные адреса

Минимальное время доступа к параметрам для мониторинга

Режимы работы

- Стандартный режим используется для последовательного чтения всех параметров
 - Неэффективен для мониторинга одного параметра

Start	SI_addr	SI_addr	SI_addr	1	1	1	1	0	ACK	Служебная информация
	inc				addr	addr	addr	addr	ACK	
Start	SI_addr	SI_addr	SI_addr	1	1	1	1	1	ACK	Старший байт параметра Младший байт параметра
									ACK	
									ACK	

- Предложенный режим адресации используется для мониторинга одного выбранного параметра
 - Уменьшение накладных расходов на 38 %
 - Сокращение времени доступа на 60 %

Start	SI_addr	SI_addr	SI_addr	Addr	addr	addr	addr	1	ACK	Служебная информация
									ACK	Старший байт параметра
									ACK	Младший байт параметра

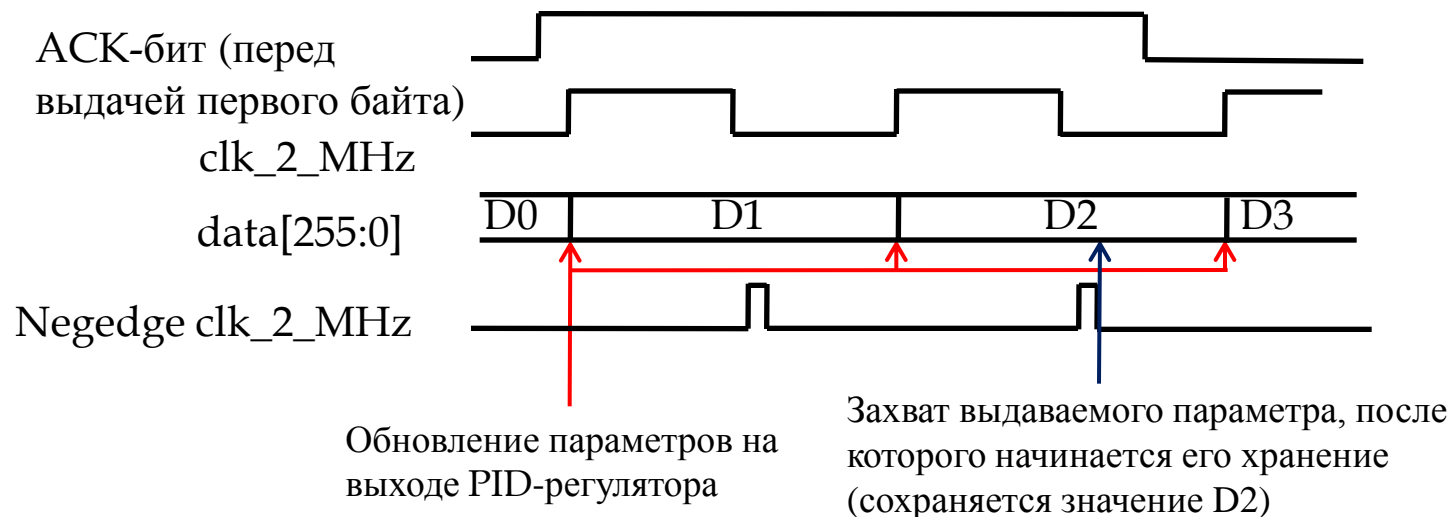
Организация приема и выдачи параметров мониторинга с внутреннего широкого интерфейса data[255:0] на I2C

- Значения параметров на интерфейсе data выдаются из PID-регулятора с выходов регистров, работающих по положительным фронтам clk_2_MHz

- принято решение принимать эти значения в I2C_slave по отрицательному фронту clk_2_MHz (по метке, формируемой схемой-детектором отрицательных фронтов)

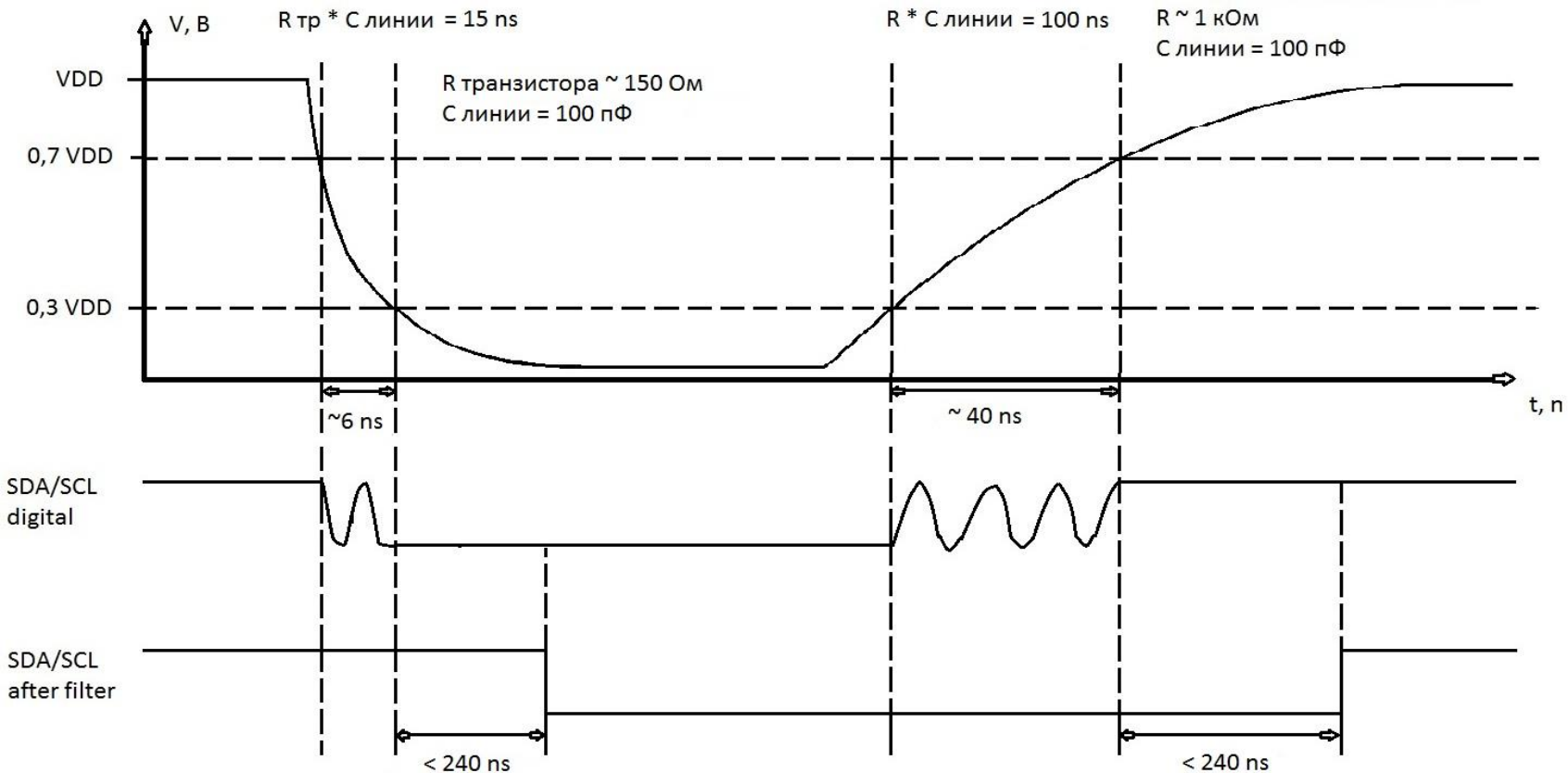
- Значение параметра на интерфейсе data может измениться в процессе побайтовой выдачи этого параметра на линию SDA шины I2C

- принято решение хранить выдаваемого 16-ти разрядного значения - от момента начала выдачи его первого байта и до момента завершения выдачи его второго байта. Захват этого значения - перед началом выдачи его первого байта (во время соотв. АСК-бита)



Защита от ложных фронтов сигналов I2C

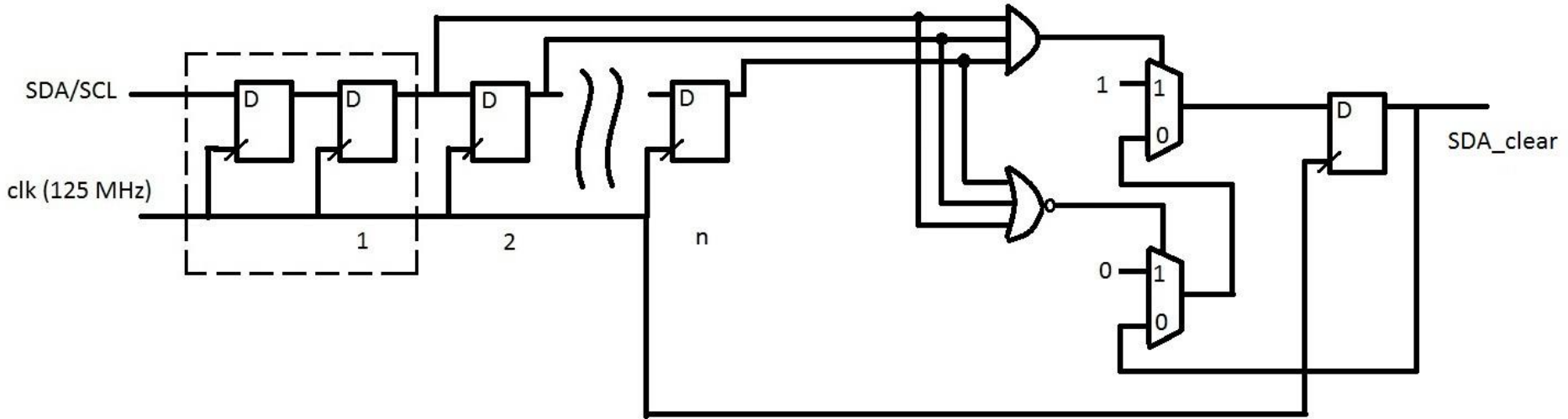
Проблема



- Период внутреннего clk (125 МГц) $T = 8 \text{ нс}$. Если бы сигналы I2C, имеющие интервалы неопределенности до 40 нс, принимались бы прямо на этот синхросигнал, то неизбежно регистрировались бы их ложные переключения (до $40 \text{ нс} / 8 \text{ нс} = 5$ переключений)
- Поэтому для корректной работы необходим фильтр сигналов I2C

Защита от ложных фронтов сигналов I2C

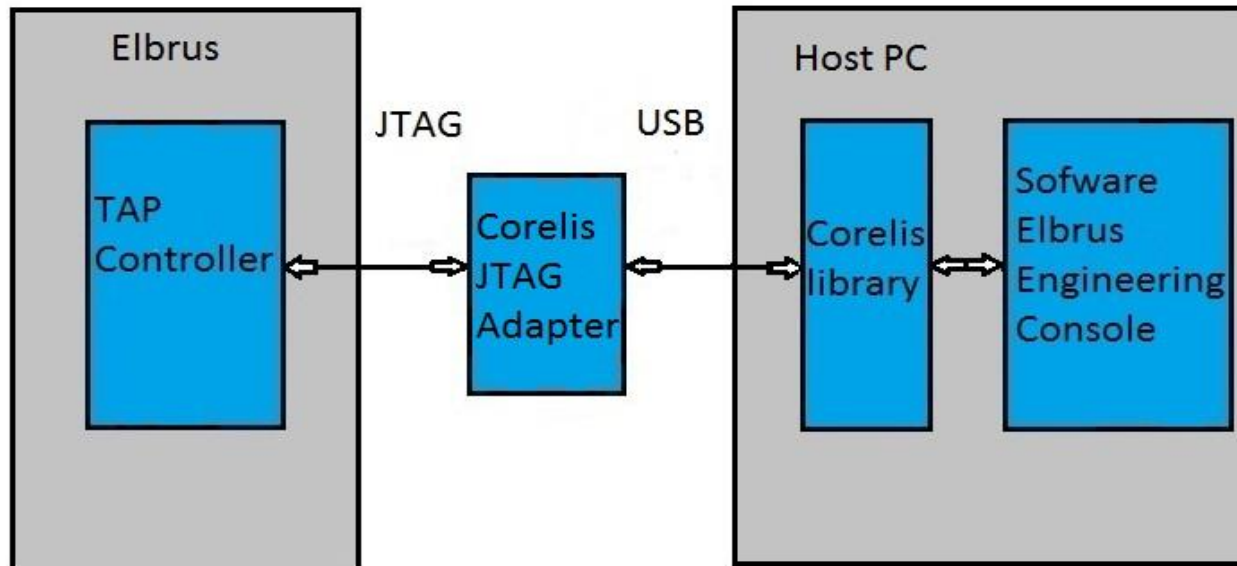
Фильтр сигналов I2C



- Фильтр – сдвиговый регистр, состоящий из n стадий. Переключение в 1 (или 0) регистрируется, когда на протяжении последних n тактов на вход фильтра принимается только 1 (или 0)
- В I2C_Slave количество стадий $n = 30$, что исключает возможность ложных переключений за счет почти двойного запаса по времени установления для сигналов I2C ($30 * 8 \text{ нс} = 240 \text{ нс} > 100 \text{ нс}$)
- В то же время такой фильтр позволяет работать контроллеру на частоте 400 кГц (быстрый режим)

Интерфейс JTAG в процессоре «Эльбрус-8С»

- Четыре однонаправленных линии:
TCK (Test Clock), TMS (Test Mode Select), TDO (Test Data Out), TDI (Test Data In)
- Обмен данными – одновременная загрузка и выгрузка (scan-in/scan-out) сдвиговых регистров типа IR и DR на частоте TCK
- Переход между состояниями TAP-контроллера (конечный автомат TAP-контроллера состоит из 16 состояний) осуществляется управляющим сигналом TMS
- Для отладки процессоров Elbrus используется JTAG - адаптер Corelis



Требования к разрабатываемому адаптеру

Характеристики адаптера Corelis:

- USB 2.0 (High-speed)
- Поставляется с драйвером и интерфейсной библиотекой пользовательских функций
- Частота ТСК до 100 МГц
- Максимальный объем информации, передаваемой при выполнении пользовательской функции по USB – 7,5 кБ
- Высокая цена 5000\$.

Необходимость разработки собственного адаптера, обусловлена высокой стоимостью адаптера Corelis

Требования к собственному адаптеру

- USB 2.0 (High-speed)
- Достаточная скорость исполнения JTAG-инструкций, частота ТСК > 25 кГц
- Программная совместимость с адаптером Corelis
- Адаптер на базе микроконтроллера т. к.
 - Легко разработать
 - Низкая стоимость

Обеспечение высокой скорости выполнения JTAG-инструкций

Необходимо выбрать микроконтроллер с USB 2.0 (High-speed) и достаточным размером ОЗУ

Выбран микроконтроллер ATSAM3X8E, его характеристики:

- Стоимость отладочной платы 3000 руб.
- Тактовая частота 84 МГц, аппаратный интерфейс USB 2.0
- ОЗУ 96 кБ > 7,5 кБ, что позволяет передавать полезные данные по USB до и после выполнения JTAG-инструкции, а не во время выполнения инструкции

Т. к. простейший протокол обмена данными по USB (bit-banging) оказался неэффективен (низкая скорость исполнения JTAG-инструкций), обмен данными по USB решено организовать следующим образом:

Передача небольшого пакета со служебной информацией, пакета с полезной информацией и ответ – (микроконтроллер передает такой же по величине пакет с полезной информацией)

- Частота ТСК составила 800 кГц

Программная совместимость с адаптером Corelis

- ПО для отладки процессоров Эльбрус и их прототипов (исполняется на Host PC) использует интерфейсные пользовательские функции из библиотеки адаптера Corelis (Corelis library)

- Для совместимости с адаптером Corelis прототипы функций в библиотеке адаптера (разработанного) такие же, как и в библиотеке адаптера Corelis

- Адаптер Corelis отслеживает состояние TAP –контроллера, поэтому функции обмена данными по JTAG можно вызывать не только из начальных состояний (RUN_TEST_IDLE, TEST_LOGIC_RESET), но и из промежуточных (PAUSE_IR, PAUSE_DR). Слежение за состояниями реализовано программно в Corelis library

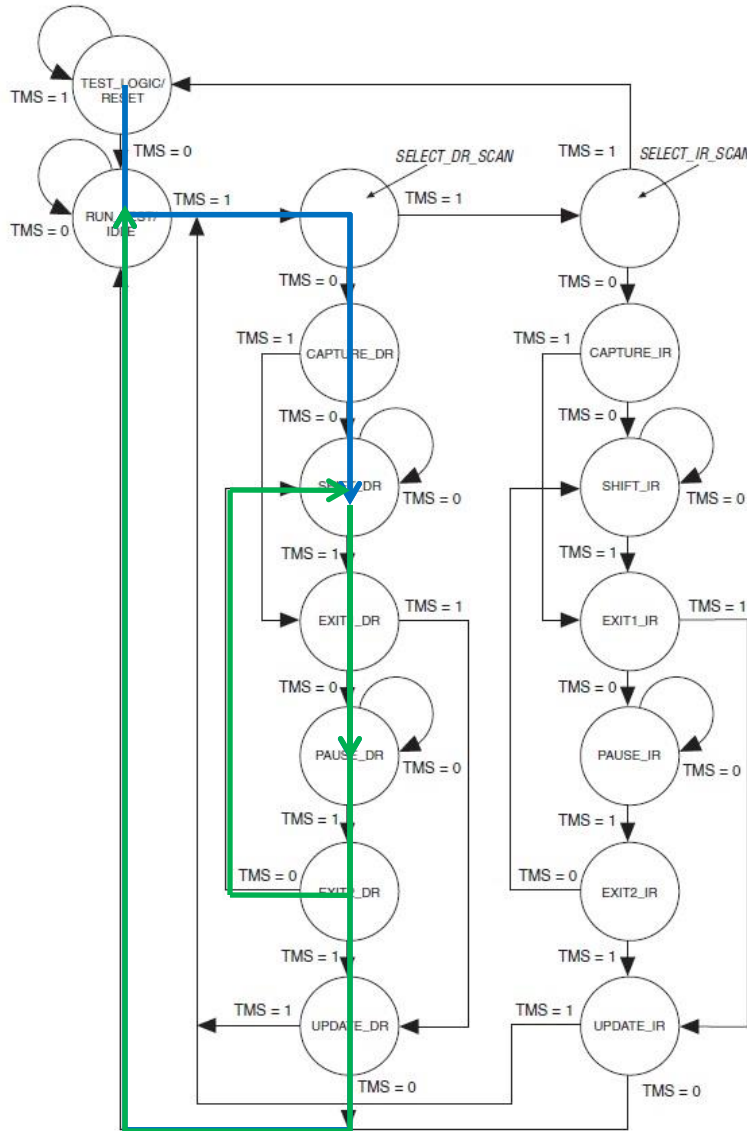
- Для совместимости с адаптером Corelis в библиотеке адаптера реализовано такое же слежение за состояниями TAP–контроллера

Результаты

- RTL описание контроллера I2C_slave со специальным режимом адресации, позволяющим уменьшить накладные расходы. В контроллер введен фильтр сигналов шины I2C и реализовано обновление параметров для мониторинга
- Тесты контроллера на Verilog. Проведено тестирование с помощью ПЛИС, сконфигурированной как I2C_slave и микроконтроллера, запрограммированного как I2C_master. Контроллер I2C_slave добавлен в процессор «Эльбрус-8С»
- На базе микроконтроллера ATSAM3X8E разработан JTAG-адаптер, аналогичный адаптеру фирмы Corelis
- Адаптер совместим с ПО, написанным для адаптера Corelis. Скорость выполнения JTAG-инструкций достаточна для работы под управлением инженерной консоли

Спасибо за внимание.

Совместимость с ПО Corelis



Scan_dr from
TEST_LOGIC_RESET or
RUN_TEST_IDLE

Scan_to_pause_dr from
TEST_LOGIC_RESET or
RUN_TEST_IDLE

Scan_to_pause_dr from
PAUSE_DR

Scan_dr from
PAUSE_DR

JTAG-адаптер фирмы Corelis

- USB 2.0 (High-speed)
- Поставляется с драйвером и dll-библиотекой.
- Частота TCK до 100 МГц
- Высокая цена 5000\$. Необходимость разработки собственного адаптера
- Основные функции библиотеки:
 - Scan_ir – загрузить, выгрузить регистр IR, конечное состояние TAP-контроллера – RUN_TEST_IDLE
 - Scan_dr – загрузить, выгрузить регистр типа DR, конечное состояние TAP-контроллера – RUN_TEST_IDLE
 - Scan_to_pause_ir – загрузить, выгрузить регистр IR, конечное состояние TAP-контроллера – PAUSE_IR
 - Scan_to_pause_dr – загрузить, выгрузить регистр типа DR, конечное состояние TAP-контроллера – PAUSE_DR
 - Tms_reset – перевод TAP-контроллера в состояние TEST_LOGIC_RESET