

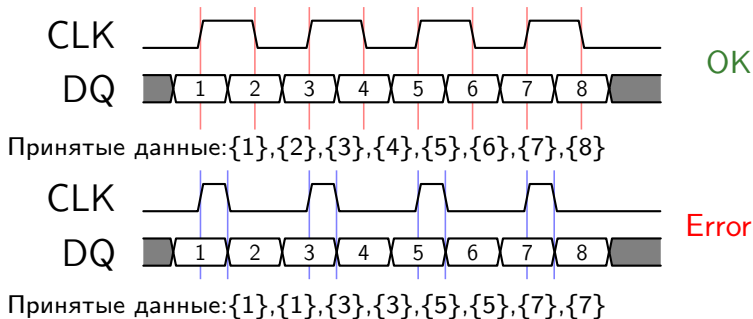
# Проектирование блока коррекции скважности синхросигнала

Выпускная квалификационная работа бакалавра

Студент: Крепак Виталий  
Научный руководитель: к.т.н. Мальшин А.В.

3 Июля, 2014

При передаче данных с удвоенным темпом (DDR) нарушение скважности тактового сигнала приводит к ошибкам.

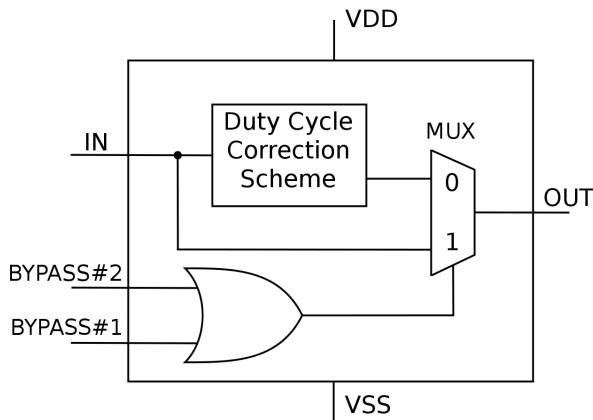


Для компенсации искажений скважности применяют специальные блоки коррекции.

Разработка блока коррекции скважности на базе процесса 40 нм компании TSMC. Требуемые характеристики:

- Малая площадь
- Малое токопотребление
- Напряжение питания  $V_{CC} = 0.9V$
- Рабочая частота  $f_{in} = 750MHz \div 1.5GHz$
- Скважность входного сигнала  $D_{in} = 35 \div 65\%$
- Скважность выходного сигнала  $D_{out} = 50 \pm 5\%$
- Работа с однополярным сигналом

# Функциональная схема



Входы BYPASS#1 и BYPASS#2 позволяют управлять блоком из разных модулей

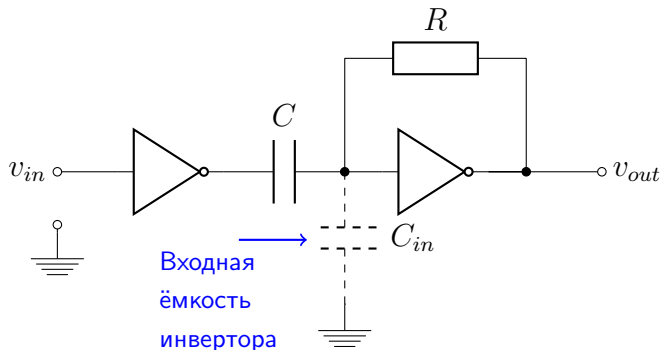
# Возможные решения

- Работа с дифференциальным тактовым сигналом
  - ✓ Высокое качество коррекции
  - × Не соответствует характеристикам синхросигнала системы
- Использование противофазы тактового сигнала
  - ✓ Высокое качество коррекции
  - × Требуется выделения большой площади на кристалле
- Введение обратной связи
  - ✓ Наименьшая площадь и токопотребление
  - ✓ Низкое, однако достаточное для исправления типичных искажений сигнала, качество коррекции

В связи с тем, что приоритетом является компактность блока, использована схема с обратной связью

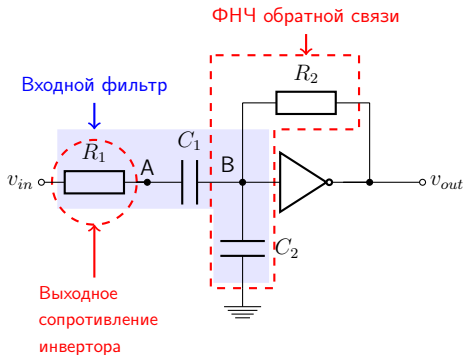
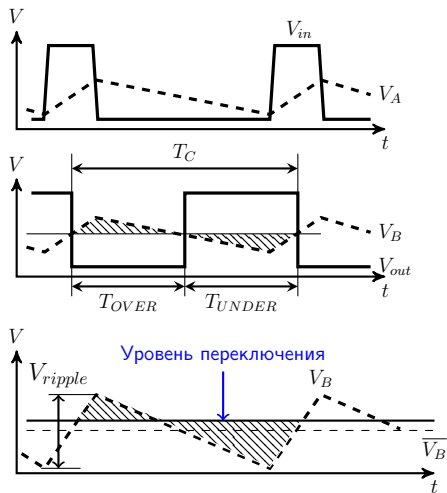
# Пример реализации

Блок DCCBUFTS65 (Silicon Creations, 65 нм).



В силу отсутствия в документации детального описания функционирования, тонкая настройка блока затруднена. Поэтому проведен анализ схемы, позволивший объяснить её поведение.

# Принцип функционирования

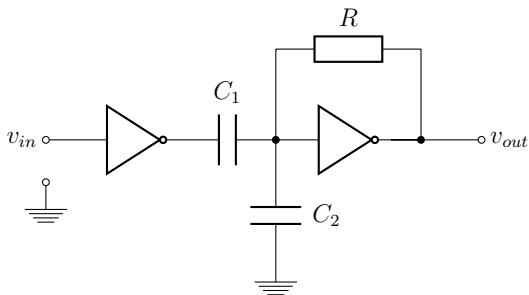


$$\delta = \frac{(DC_{out} - 0.5) V_{DD}}{V_{ripple}}$$

$$\frac{1}{DC_{out}} - 1 = \frac{T_{OVER}}{T_{UNDER}} = \frac{1 - \delta}{1 + \delta}$$

$$DC_{out} = \left( \frac{1}{2} + \frac{(DC_{out} - 0.5) V_{DD}}{2V_{ripple}} \right)$$

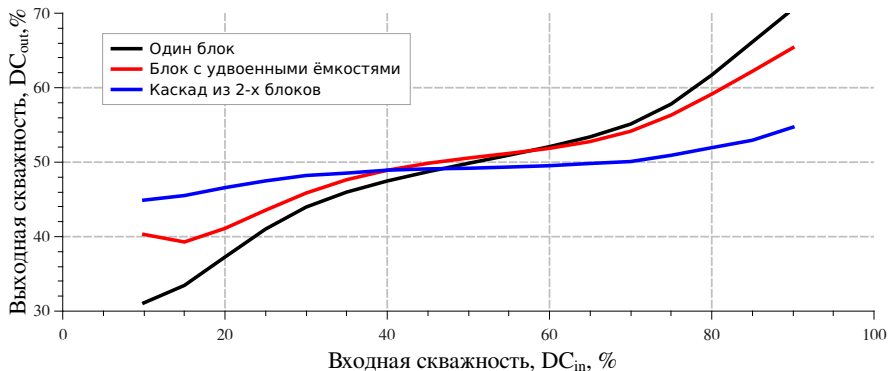
- Масштабирование блока DCCBUFTS65 к техпроцессу 40нм
- После масштабирования блок перестал функционировать, поэтому блок был модифицирован:
  - Добавлен конденсатор  $C_2$  (при выборе топологии сравнены металлические и МОП-конденсаторы)
  - Подстроен конденсатор  $C_1$
  - Проведено выравнивание времен нарастания и спада на выходе инверторов



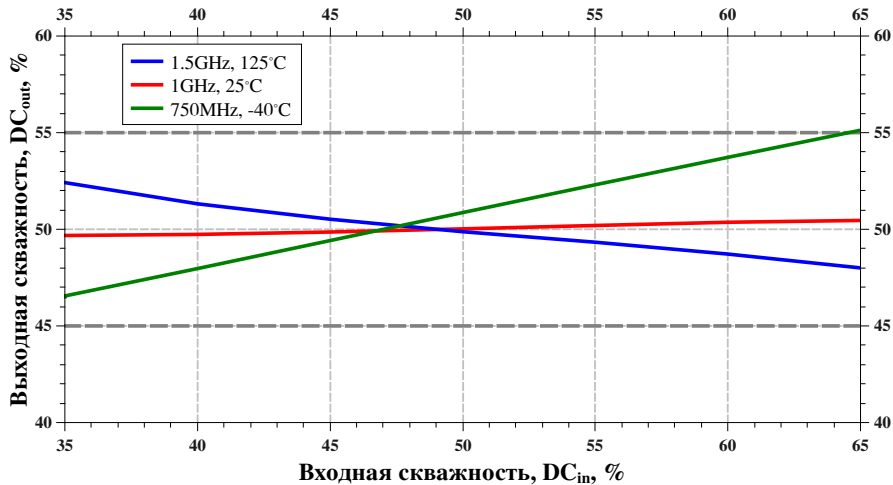


# Способы увеличения эффективности блока

- Путем увеличения ёмкостей  $C_1, C_2$ 
  - × Уменьшается частотный диапазон
  - × Рост диапазона меньше, чем при каскадировании
- Каскадированием блоков
  - ✓ При той же площади нет вышеперечисленных недостатков



# Результаты моделирования



Разработан блок коррекции скважности, обладающий следующими характеристиками:

- Малая площадь ( $\approx 300\mu m^2$ )
- Малая потребляемая мощность ( $400\mu W$  at  $1GHz$ )
- Выходная скважность  $50 \pm 5\%$  при входной скважности  $35 \div 65\%$  (характерные искажения для систем генерации и распределения синхросигнала)
- Работа в диапазоне частот  $750MHz \div 1.5GHz$
- Выполнен по техпроцессу 40 нм компании TSMC

Также были проработаны теоретические принципы функционирования схемы, необходимые для дальнейшего использования подобной схемотехники на базе технологии 28 нм.