

## **Система логической верификации высокопроизводительных универсальных микропроцессоров**

Верификация является одной из ключевых задач, возникающих при проектировании микропроцессоров (МП). По различным оценкам, процесс верификации занимает до 70% времени и трудозатрат на проектирование. Следовательно, от эффективности решения этой задачи зависит как качество создаваемого МП, так и сроки его разработки.

Основная трудность заключается в том, что сложность современных МП стремительно растет как за счет совершенствования их микроархитектуры, так и за счет уменьшения технологических норм изготовления. Таким образом, оказывается необходимой разработка эффективной системы верификации, сочетающей в себе различные подходы.

Подход, применяемый при проектировании МП в ЗАО «МЦСТ», предполагает использование многокомпонентной системы, сочетающей несколько подходов — системную и автономную (модульную) верификацию, а также некоторые методы формальной верификации.

Основной идеей системной верификации является проверка RTL-описания или прототипа всего МП с использованием исполняющихся на нем тестовых программ. Для повышения эффективности их разработки применяются различные методы автоматизации верификации — разработка генераторов тестов, генерация тестов с опорой на эталонное поведение функциональной модели.

Вместе с тем, в ряде случаев, использование подходов системной верификации является малоэффективным и требует неоправданно больших усилий, например, при разработке тестов, направленных на верификацию конкретного устройства или функционального модуля. В силу этих причин, наряду с использованием системных тестов, применяются методы модульной или автономной верификации, объектом которой является HDL описание отдельного устройства или подсистемы МП. В этом случае тестовая система взаимодействует со входами и выходами проверяемого устройства и состоит из генератора тестовых воздействий, монитора реакций и модуля проверки, контролирующего правильность функционирования устройства.

В ряде ситуаций, сложные системы не могут быть проверены с помощью описанных подходов, основанных на моделировании. В этом случае применяются алгоритмы формальной верификации, позволяющие полностью исследовать поведение математической модели системы. Другим важным преимуществом формальных методов является возможность построения модели и проведения формальной верификации до окончания проектирования RTL-описания.

Таким образом, использование предложенной многокомпонентной системы позволяет обеспечить как многократную проверку наиболее сложных частей системы разными методами, так и параллельность работы, что в конечном счете улучшает качество и расширяет возможности верификации современных МП.