

Разработка сети на кристалле перспективных микропроцессоров серии Эльбрус

Ю.А. Недбайло

«Институт электронных управляющих машин им. И.С. Брука»

«МЦСТ»

Всё большее количество ядер и банков распределённого общего кэша в каждом новом поколении микропроцессоров возлагает всё большие требования на производительность сети соединений. Сама проблема организации межсоединений в многоядерных процессорах уже рассматривалась [1], и теперь выработано конкретное её решение для процессоров Эльбрус с 16-64 ядрами, которое также может использоваться в других подобных системах.

В пределах кристалла нет жёсткого ограничения на количество и ширину прокладываемых соединений, и сеть соединений может быть сделана достаточно производительной. В то же время, уплотнение проводников с каждым новым техпроцессом приводит к росту паразитных ёмкостей, что требует либо увеличивать токи и, соответственно, энергопотребление широких шин, либо мириться с увеличением задержек [2]. С этой точки зрения желательно, чтобы сеть состояла из более узких каналов.

Использование *прямой (direct)* топологии, то есть мелкой сети соединений, связанной с каждым ядром непосредственно, по сравнению с концентрированными (*indirect*) топологиями сокращает длину и увеличивает количество шагов, совершаемых пакетом. При традиционной реализации сетей это увеличивает задержки, во-первых, из-за не всегда целого количества тактов, соответствующего времени передачи по каналу сети, во-вторых, на конвейерах сетевых роутеров на каждом шаге. От первой составляющей можно избавиться, реализуя сеть на независимой от ядер частоте. Если все подчинённые устройства также будут работать на этой частоте, и между ядрами и сетью сделать хорошую пересинхронизацию [3], дополнительные задержки составят около двух тактов при любом размере сети.

Потери на конвейерах роутеров можно радикально снизить, используя *экспресс-виртуальные каналы*, суть которых заключается в перемещении пакета в обход конвейеров без остановок вплоть до поворота в другое измерение сети [4]. Помимо близких к идеальным базовых задержек, эти каналы обеспечат:

- Низкое энергопотребление роутеров;
- Свободу от дедлоков (благодаря XY-маршрутизации);
- Сохранение порядка следования пакетов (по той же причине).

Последнее будет полезно для передачи исходных запросов от ядра в распределённый кэш,

иначе соблюдение модели памяти потребует дополнительных средств в ядре и задержек. Для увеличения пропускной способности сети и уменьшения задержек при интенсивном трафике, экспресс-виртуальные каналы могут быть дополнены обычными виртуальными, с адаптивной маршрутизацией, используемыми пакетами, не требующими порядка.

Сохранение порядка следования пакетов подразумевает реализацию каждого буфера в виде набора FIFO-очереди для каждого виртуального канала с арбитром на их выходах. Чтобы реализовать какую-либо политику *качества обслуживания (QoS)* потоков (ядер), каждую очередь нужно разделить ещё на несколько, что соответственно увеличит площадь устройства. Чтобы избежать этого, вместо всех очередей можно сделать один буфер, QoS реализовать в виде фильтров, а порядок следования обеспечить LRU-арбитром. Хотя в этой схеме значительно больше комбинационной логики, дополнительные виртуальные каналы и QoS получаются почти бесплатными.

Сеть предложенной архитектуры описана на языке Verilog, произведена оценка её производительности, площади и энергопотребления с помощью ПО Synopsys и 28 нм технологических библиотек. Ещё планируются различные оптимизации и доработки, но уже можно заключить, что:

- Уже при 16 ядрах пропускная способность предложенной сети выше, чем у кольца, используемого в Эльбрус-8С и 8С2, а задержки как минимум сопоставимые;
- Вплоть до 64 ядер, сеть обеспечит достаточную производительность при приемлемых площади и энергопотреблении.

Литература

1. *Недбайло Ю.А.* Проблема организации межсоединений в многоядерных СнК серии Эльбрус // Труды 56-й научно конференции МФТИ, М.:МФТИ, 2013, С. 69-70.
2. *Giovanni De Micheli, Luca Benini.* Networks on chips: Technology and tools. – Morgan Kaufmann Publishers Inc. San Francisco, CA, USA, 2006. – 408 с.
3. *Rostislav (Reuven) Dobkin, Ran Ginosar.* Two-phase synchronization with sub-cycle latency. – Integr. VLSI J. – 2009. – 42(3):367–375.
4. *Amit Kumar, Li-Shiuan Peh, Partha Kundu, Niraj K. Jha.* Express virtual channels: Towards the ideal interconnection fabric // Proceedings of the 34th Annual International Symposium on Computer Architecture, ISCA '07, New York, NY, USA. – 2007. – С. 150–161