

Настраиваемый интерливинг между банками кэш-памяти последнего уровня

Е.С. Кожин, А.С. Кожин

Московский физико-технический институт (государственный университет)

АО «МЦСТ»

Большинство современных микропроцессоров, предназначенных для построения высокопроизводительных вычислительных комплексов, имеет большое количество ядер и общую кэш-память последнего уровня (LLC). Для увеличения пропускной способности кэш-памяти используют разбиение на банки, которые работают независимо. Обычно выбор адресуемого банка происходит по определенной адресной части запроса. Многоядерные микропроцессоры, сочетающие такое статическое разбиение общей кэш-памяти с распределенной схемой коммутации соединений между процессорными ядрами и банками LLC, представляют собой *S-NUCA* систему [1], в которой время доступа в кэш-память зависит от взаимного расположения ядра и адресуемого банка.

В восьмиядерном микропроцессоре «Эльбрус-8С» кэш-память последнего уровня (третьего уровня, L3 кэш) состоит из восьми независимых банков по 2 МБ каждый. Ядра и банки общей кэш-памяти объединены в «квартиры» по два ядра и два банка в каждой. Квартиры соединены двунаправленным буферизующим кольцом. Разбиение на банки происходит по 6-ому, 7-ому, 8-ому разрядам физического адреса. При размере кэш-строки 64 Б две соседние кэш-строки размещаются в разных банках. Такое разбиение характеризуется равномерным распределением запросов между всеми банками общей LLC и является оптимальным для задач, нуждающихся в высокой пропускной способности и работающих с большим объемом данных. С другой стороны, задачи, объем рабочих данных которых менее 4 МБ, будут эффективнее выполняться при локализации данных в банках той же квартиры, что и процессорное ядро, так как среднее время доступа при попадании в L3 кэш будет меньше на 5 тактов по сравнению с равномерным распределением. Для оптимизации работы программ обоих типов необходимо реализовать программно настраиваемый интерливинг между банками кэш-памяти третьего уровня.

При изменении настроек интерливинга необходимо очистить все банки L3 кэша и обеспечить гарантированное отсутствие незавершенных запросов в кэш-памяти и контроллере системных обменов SIC, в состав которого входят контроллеры оперативной памяти и других высокоскоростных интерфейсов. Для этого после записи в программно-доступные конфигурационные регистры новых параметров интерливинга запускается механизм реконфигурации кэш-памяти, который последовательно блокирует прием новых

запросов от процессорных ядер, дожидается завершения всех уже принятых запросов и запускает процедуру FLUSH L3. После завершения процедуры новые настройки интерливинга становятся актуальными. Следует отметить, что изменение интерливинга «на лету» (в отличие от начальной инициализации при запуске BOOT) требует поддержки со стороны операционной системы, так как в микропроцессоре «Эльбрус-8С» контроллеры оперативной памяти привязаны к банкам L3 кэша.

Разработанный механизм настраиваемого интерливинга позволяет оптимизировать работу с кэш-памятью третьего уровня в зависимости от типа запускаемых программ. Локализация данных в ближайших банках может уменьшить среднее время доступа примерно на 17% при попадании в L3 кэш и отсутствии блокировок.

Литература

1. *Rajeev Balasubramonian, Norman P. Jouppi, Naveen Muralimanohar. Multi-Core Cache Hierarchies. Synthesis Lectures on Computer Architecture. – Morgan & Claypool, 2011, 153 p.*
2. *Кожин А.С., Кожин Е.С., Костенко В.О., Лавров А.В. Кэш третьего уровня и поддержка когерентности микропроцессора «Эльбрус-4С+». // Вопросы радиоэлектроники / Выпуск 3. Серия ЭВТ. — М. 2013 г. — С. 26-38.*
3. *Кожин А.С., Сахин Ю.Х. Коммутация соединений процессорных ядер с общим кэшем третьего уровня микропроцессора «Эльбрус-4С+». // Вопросы радиоэлектроники / Выпуск 3. Серия ЭВТ. — М. 2013 г. — С. 5-14.*