

Московский физико-технический институт (государственный университет)
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники

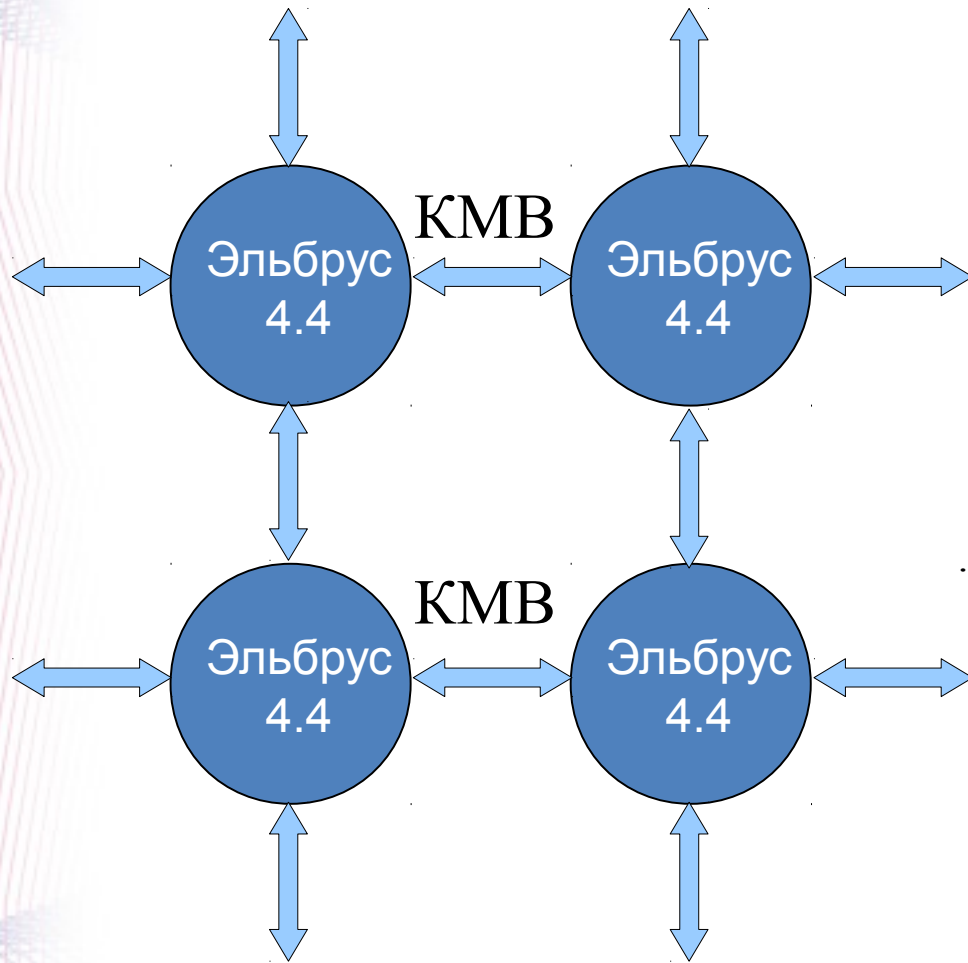
Разработка контроллера высокоскоростного канала связи

Выпускная квалификационная работа
(бакалаврская работа)

Выполнил: студент 213 группы Абакаров М. А.
Научный руководитель: Белянин И. В.

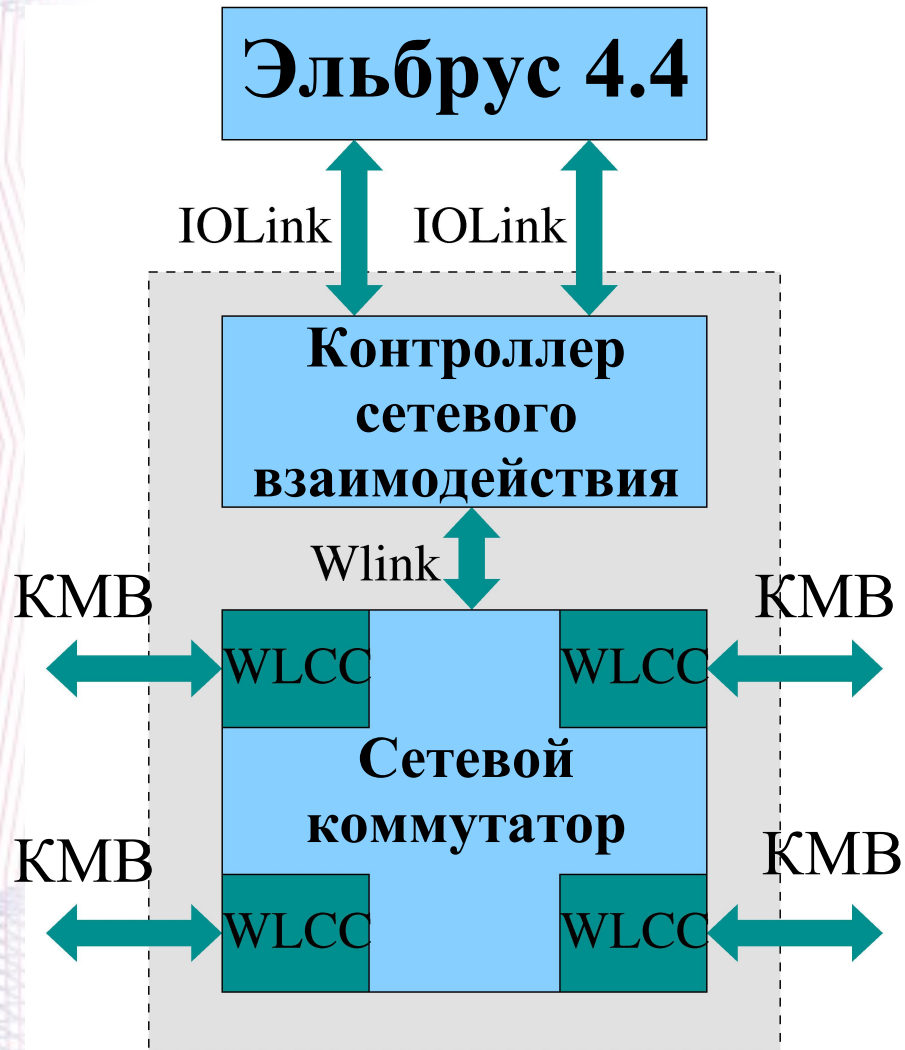
Москва 2016

Вычислительный кластер



- Узел: 4 процессора Эльбрус 4С
- Топология 2D/3D тор
- Количество узлов: до 256
- Соединения: оптический кабель
- КМВ — канал межмашинного взаимодействия

Схема узла



- Одновременное подключение к двум процессорам
- Подключение напрямую (минуя южный мост)
- Собственные:
контроллеры — WLCC
интерфейсы — Wlink
- Избыточность WLCC:
скорость — до 8 Гбайт/с
Phy — 16x Lane

Цель работы

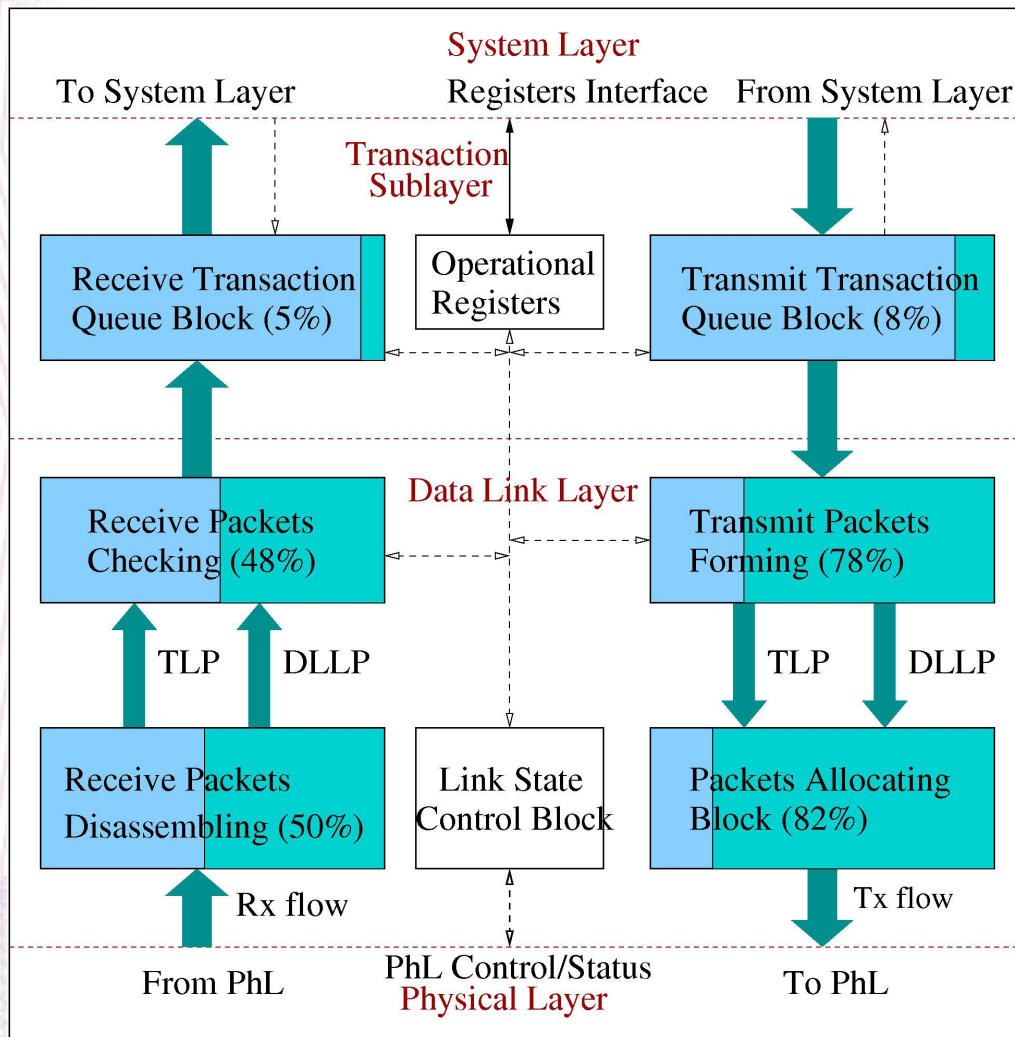
Реализовать канал межмашинного взаимодействия с использованием физического ip-блока Altera Transceiver РНУ IP Core. Контроллер должен удовлетворять следующим требованиям:

- Рабочая частота 100МГц
- Полоса пропускания до 5 Гбит/с
- Системный интерфейс Wlink
- Меньшее количество используемых ресурсов ПЛИС по сравнению с предыдущей реализацией
- Совместимость с предыдущей реализацией на уровне программной модели.

Дополнительные требования

- Пакетная передача. Пакеты транзакций выровнены по границе 32 бит
- Поддержка независимых виртуальных каналов с кредитным механизмом контроля состояний буферов
- Передача сигнала синхронизации вместе с данными, 8/10 кодирование
- Механизмы контроля целостности данных: 16-разрядный CRC код
- Автоматическое определение сбоя на линке и запуск процедуры его восстановления
- Набор операционных регистров для управления режимами работы контроллера

Общая схема канального уровня



Transmit Transaction Queue Block — прием, буферизация, арбитраж транзакций с системного уровня.

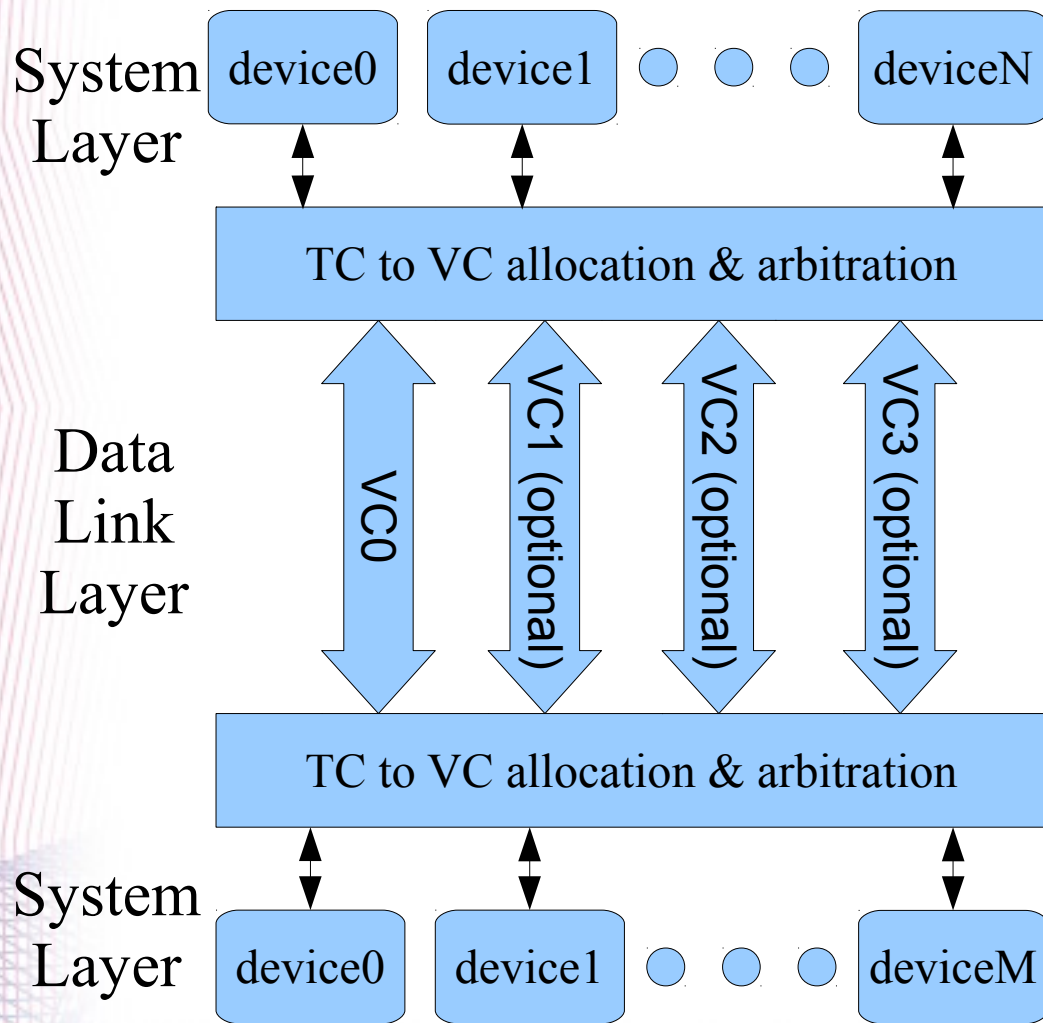
Transmit Packets Forming — формирование пакетов транзакций (TLP) и служебных (DLLP), организация повторов последовательностей TLPs.

Packets Allocating Block — формирование пакета для физического уровня, подстановка CRC.

Link State Control Block — управление состоянием физического уровня.

Operational Registers — операционные регистры с отдельным интерфейсом доступа.

Виртуальные каналы



- Отсутствие конфликтов по ресурсам
- Кредитный механизм контроля состояний приемных буферов
- До 8 независимых виртуальных каналов

Форматы пакетов

Transaction Layer Packet

DW	[31:24]	[23:16]	[15:8]	[07:00]
Hdr 1DW	Head[15:00]		TlpNumber	STP symbol
Hdr 2DW	Head[46:16]			
Hdr 3DW	Head[87:56]			
Hdr 4DW	0x00	Head[111:88]		
Pld 1DW	Data 1DW			
Pld ...	Data ...			
Pld nDW	Data nDW			
Tail DW	END symbol	CRC16		Head[55:48]

STP symbol, END symbol — байты начала и конца пакета. Формируются на физическом уровне.

Размер заголовка для запросов — Head[87:0] или Head[111:0], для ответов — Head[55:0].

Размер данных 1-16DW.

Data Link Layer Packet

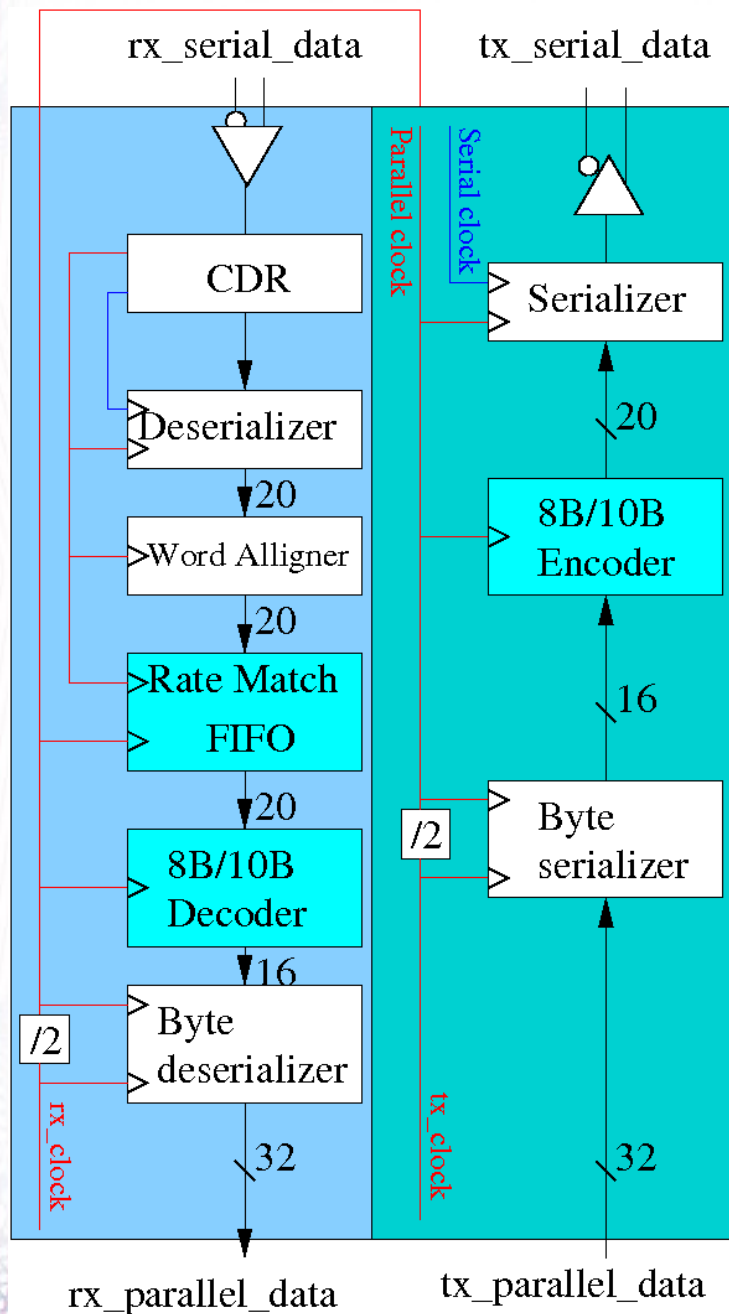
DW	[31:24]	[23:16]	[15:8]	[07:00]
Start DW	RQD_Num	RQH_Num	DLLP_Type	SDP symbol
Tail DW	END symbol	CRC16		LastNum

DLLP_Type — тип служебного пакета.

LastNum — номер последнего, успешно принятого TLP.

RQD_Num, RQH_Num — количество ресурсов по данным и заголовкам.

Физический уровень. Передача данных.



Byte serializer — делит пополам ширину потока данных и удваивает частоту

Byte deserializer — удваивает ширину потока данных и делит частоту на 2

8B/10B Encoder/Decoder — 8/10 кодирование/декодирование

Rate Match FIFO — буфер, необходимый для компенсации разности частот между приемником и частотой передающей стороны

Word Aligner — выравнивает границу слова в потоке принимаемых бит при получении символа синхронизации

Clock and data recovery (CDR) — восстанавливает сигнал синхронизации из потока принимаемых бит с помощью ФАПЧ

Физический уровень. Служебные функции.

- Использование автомата состояний линка
- Отправка тренировочных последовательностей
- Определение сбоев на линке и запуск процедуры его восстановления
- Отправка SKP символов
- Интерфейс с канальным уровнем для управления режимами работы физического уровня

Результаты

- Разработан канал межмашинного взаимодействия
- Автономные тесты пройдены успешно
- Рабочая частота увеличена с 50МГц до 125МГц
- Сократилось использование ресурсов, по сравнению с предыдущей реализацией контроллера

	Предыдущая реализация	Новая реализация
ALMs	91 %	67 %
Регистры	89001	70451
Память	1103702 (9%)	1093472 (9 %)