

Московский физико-технический институт  
( государственный университет )  
Факультет радиотехники и кибернетики  
Кафедра информатики и вычислительной техники

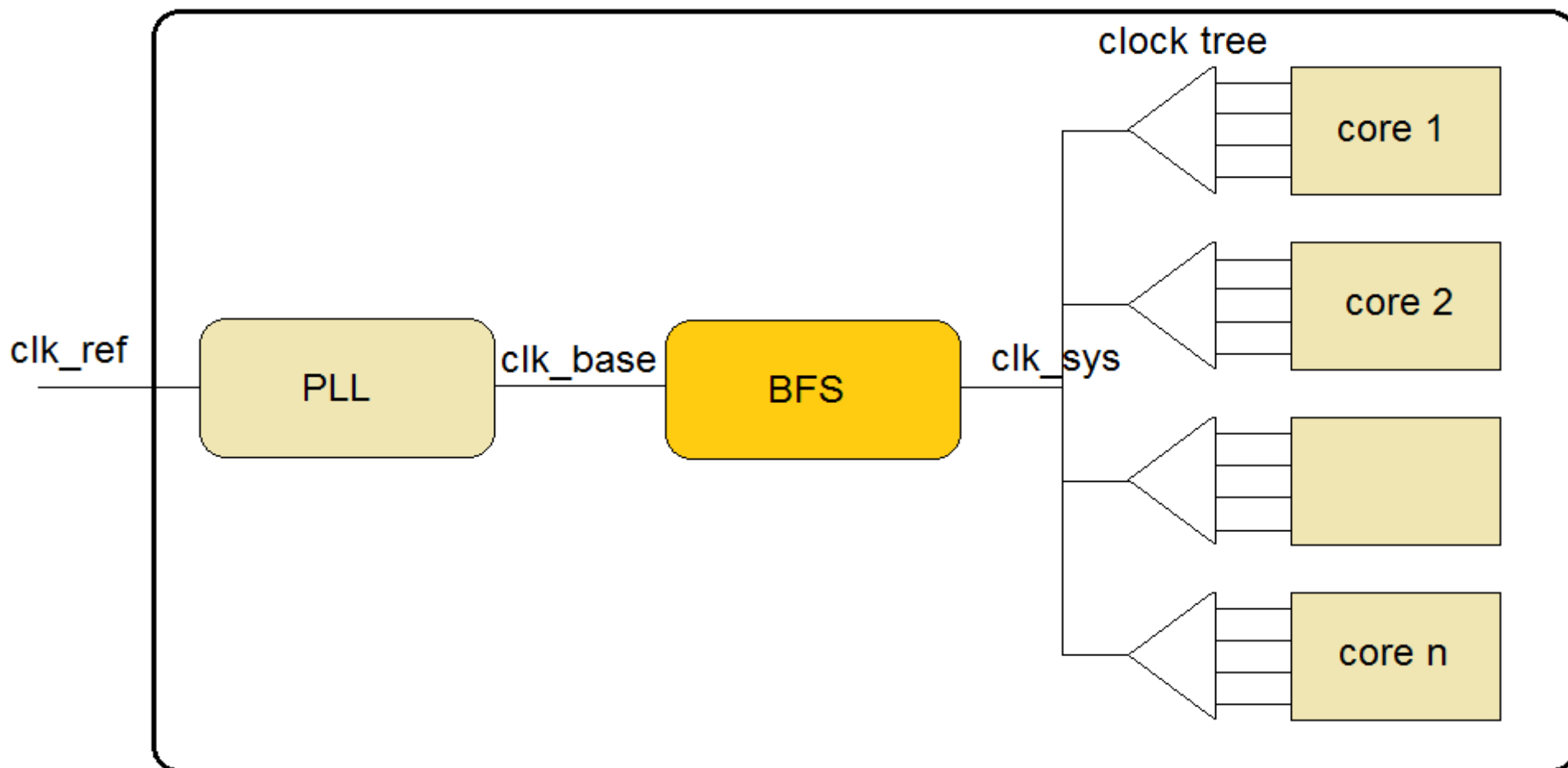
**Разработка аналоговых блоков устройства  
формирования синхросигналов процессоров  
Эльбрус-8С2 и МЦСТ R2000  
по технологии 28 нм**

**Выпускная квалификационная работа  
( бакалаврская работа )**

Научный руководитель: к. т. н. Мальшин А.В.  
Студент: Портнова Л.А. , 213 группа

# Функция BFS в микропроцессоре

BFS ( блок формирования синхросигнала) — устройство, предназначенное для генерирования синхросигналов устройств микропроцессора из внутреннего базового синхросигнала. Позволяет программное изменение **clk\_sys**.

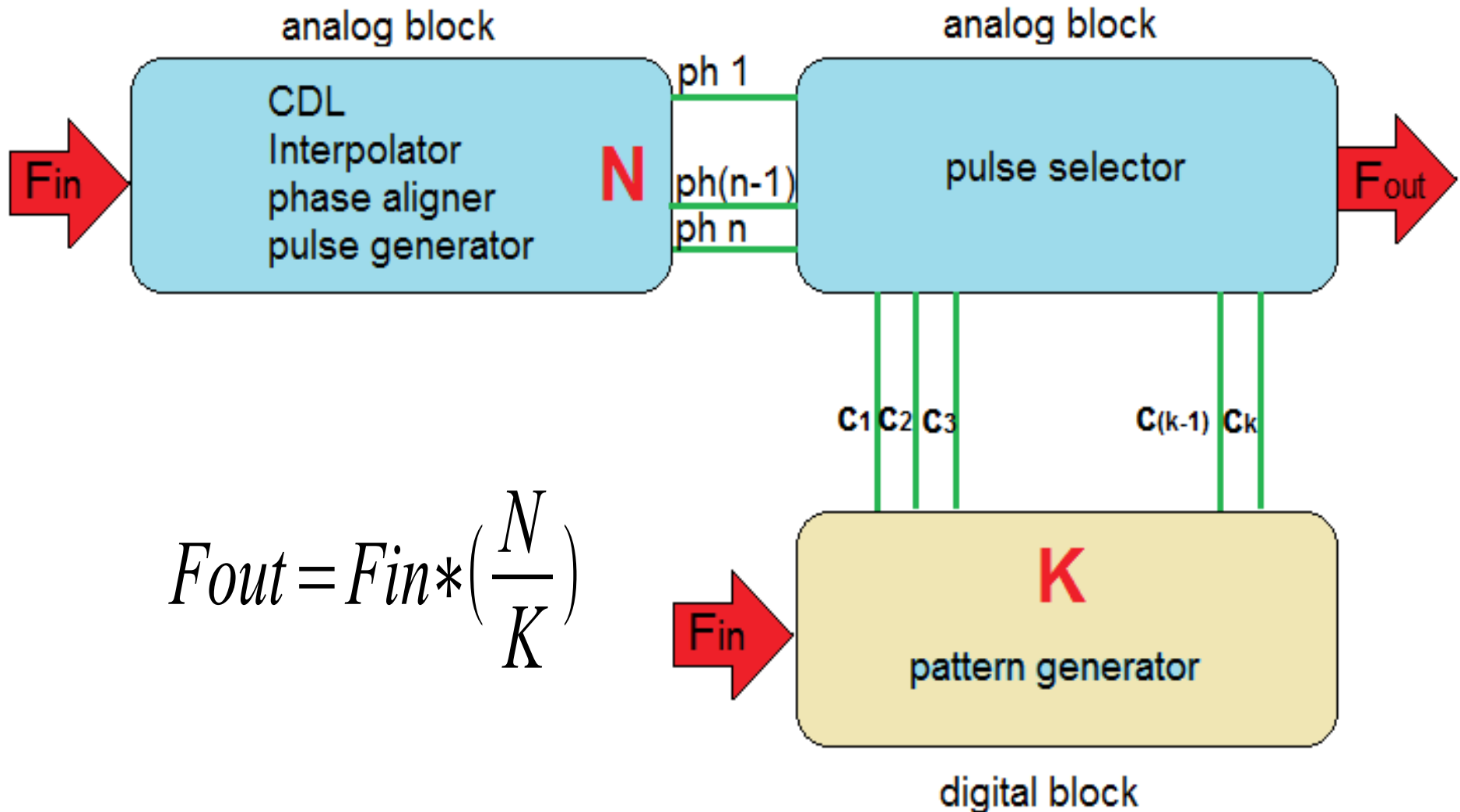


**clk\_ref** - основной (эталонный) синхросигнал

**clk\_base** – внутренний базовый синхросигнал

**clk\_sys** – синхросигнал основного ядра (системный)

# Принцип работы BFS



$N = \mathbf{const}$ , определяется реализацией BFS;

$K$  — задается пользователем;

# Цель работы

- ◆ Разработка блока VFS для входного базового синхросигнала в диапазоне от 0.8 ГГц до 2 ГГц для процессоров «Эльбрус-8С2» и «МЦСТ-Р2000» на технологии 28 нм

# Задачи

- ◆ Исследование блоков, входящих в состав предыдущей реализации VFS;
- ◆ Разработка и адаптация блока VFS для входного базового синхросигнала в диапазоне от 0.8 ГГц до 2 ГГц для процессоров «Эльбрус-8С2» и «МЦСТ-Р2000» на технологии 28 нм;
- ◆ Исследование выходных сигналов устройства в диапазоне изменения питания, температуры и технологий на предмет соответствия ожидаемым;

# Принципиальная схема аналоговых блоков BFS

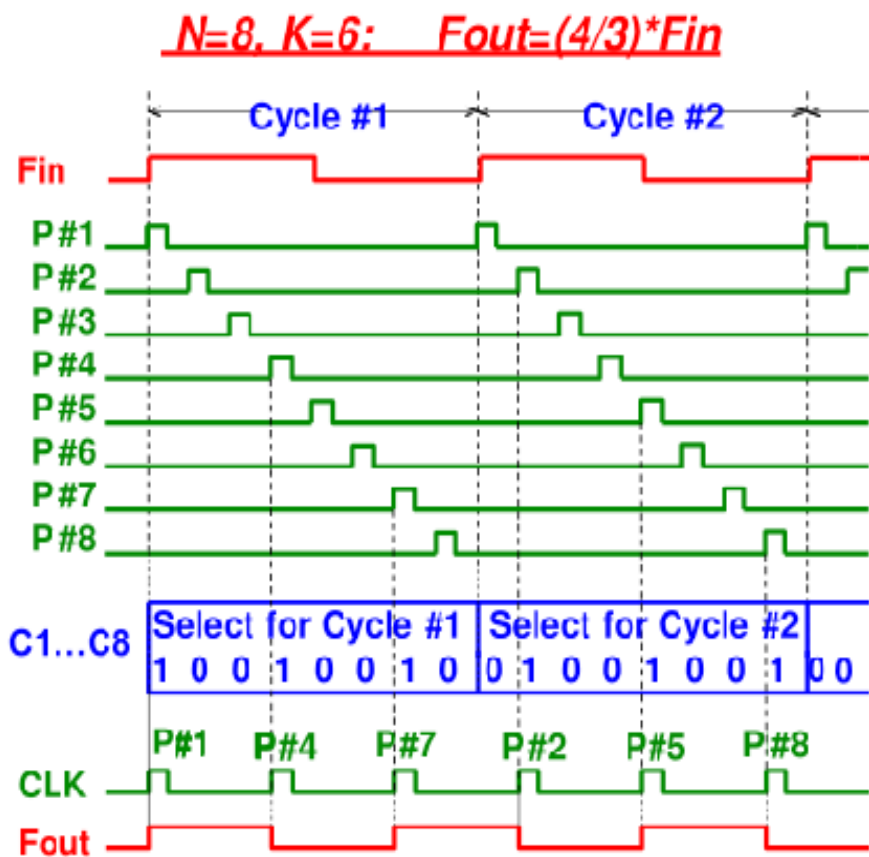
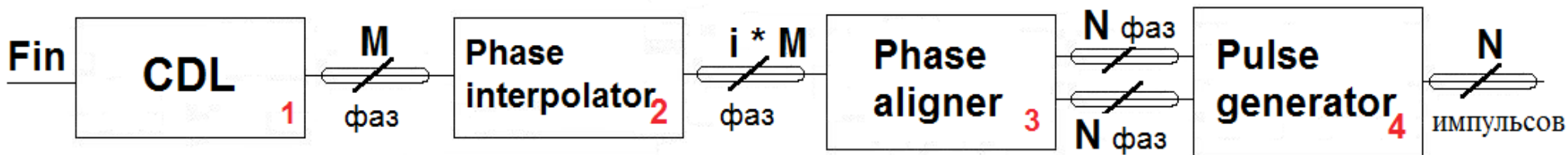
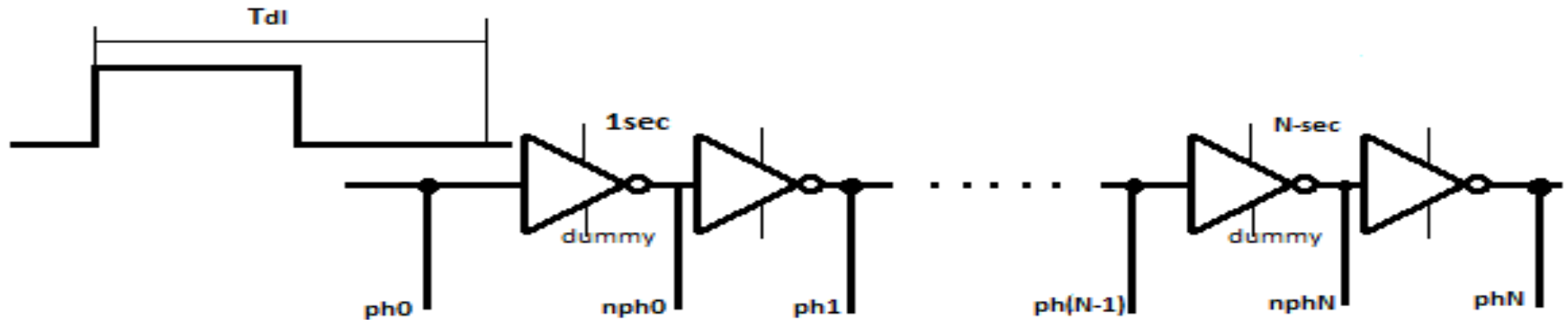


Иллюстрация работы BFS

- Управляемая линия задержки (controlled delay line, CDL)** - состоит из  $M$  каскадов, каждый из которых задерживает входной сигнал на одну и ту же величину;  $M$  фаз на выходе;
- Интерполятор (phase interpolator)** - состоит из  $M$  секций, каждая из которых на выходе выдает  $N=i*M$  фаз, где  $i$  определяется реализацией интерполятора;
- Фазовый выпрямитель (phase aligner)** - блок, позволяющий на выходе получить сигналы напрямую с выхода интерполятора и такое же количество инвертированных сигналов ( $N$  прямых фаз и  $N$  инвертированных фаз);
- Генератор импульсов (pulse generator)** - блок, отвечающий за формирование импульсов длительностью  $T_{dl}/N$  из инвертированных и неинвертированных фаз, где  $N$  - количество фаз на выходе интерполятора;

# Управляемая линия задержки

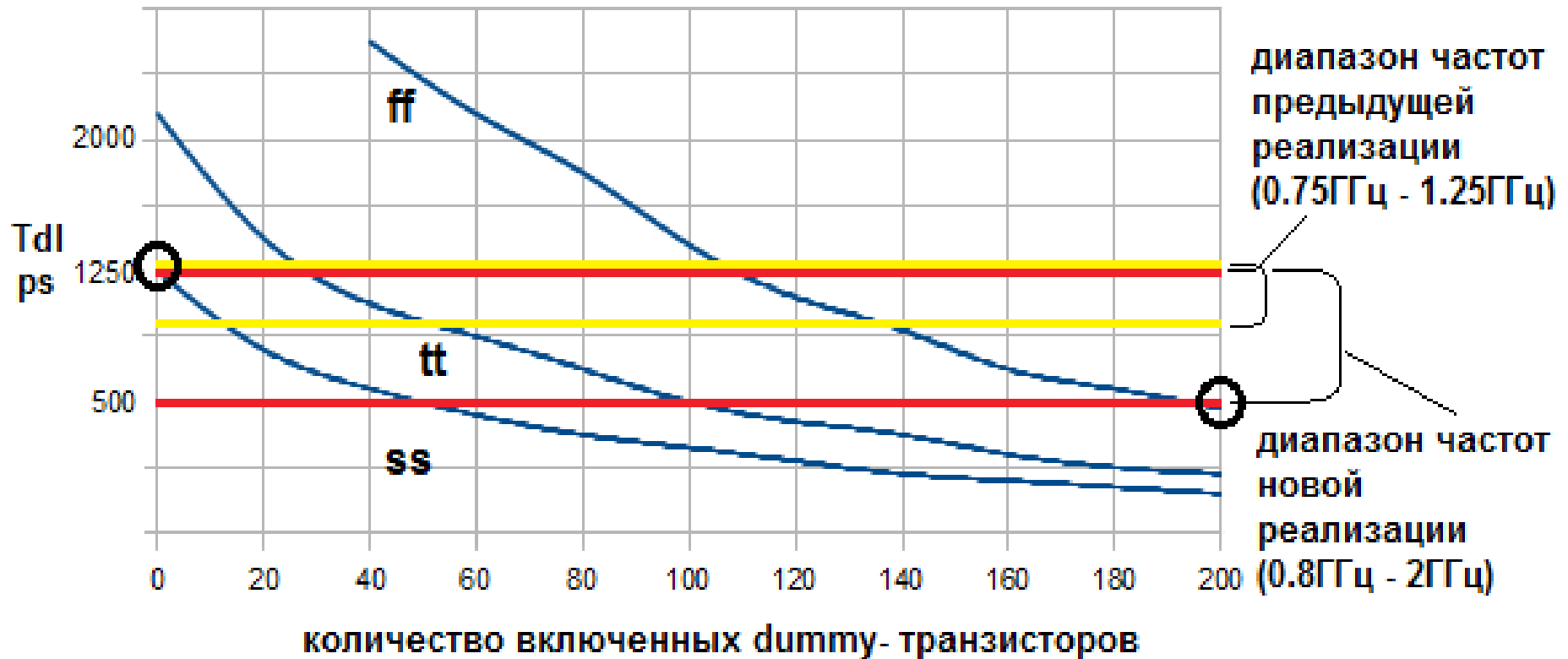
## Основные принципы работы



- ◆ Управляемая линия задержки включает в себя **M каскадов**. Каждый каскад состоит из двух инверторов. Для обеспечения возможности изменения задержки секций, к секциям подключены нагрузочные транзисторы;
- ◆ Время задержки инвертора ( $T_{\text{delay}}$ ) обратно пропорционально эффективной ширине канала транзисторов ( $W_{\text{eff}}$ ):

$$T_{\text{delay}} \propto 1/W_{\text{eff}}$$

# Реализация CDL



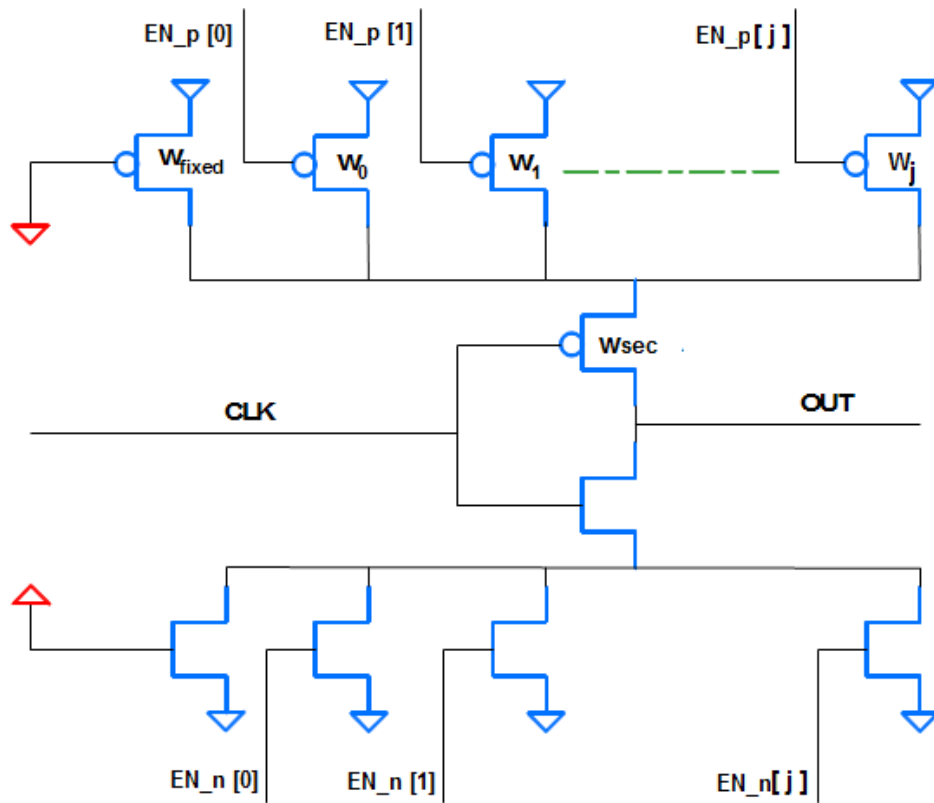
Данная схема CDL позволяет регулировать период линии задержки от 500 пс до 1250 пс с учетом технологического процесса (В связи с этим входная частота на линии задержки может варьироваться от 0.8 ГГц до 2 ГГц ). В предыдущей версии BFS диапазон входных частот был от 0.75 ГГц до 1.25 ГГц.

Увеличение рабочего диапазона достигается изменением схемы управляемой подключенной нагрузки.



# Реализация CDL в

## Старая реализация ячейки CDL



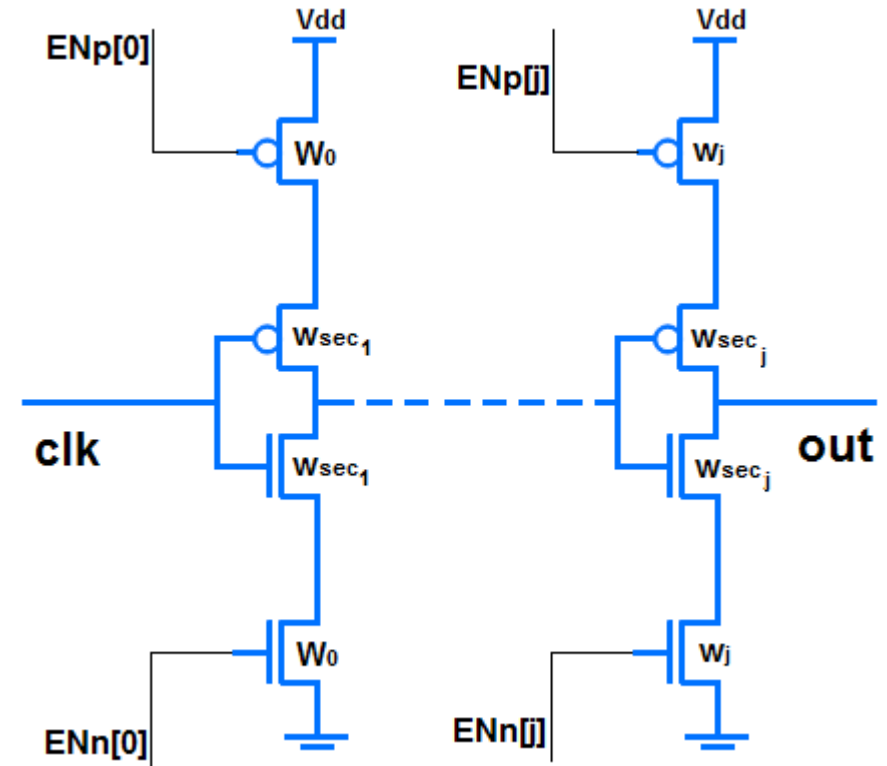
## Старая реализация секции CDL

- ◆ к каждой секции подключено по 160 нагрузочных транзисторов n- и p- типа, управляемых кодом;
- ◆ последовательный блок dimtu-транзисторов обеспечивает время задержки секции:

$$T_{\text{delay}} \propto [1/W_{\text{sec}} + 1/(W_{\text{fixed}} + W_0 + \dots + W_{139})];$$

$j$  — определяется управляющим кодом, количество открытых нагрузочных транзисторов

## Новая реализация ячейки CDL



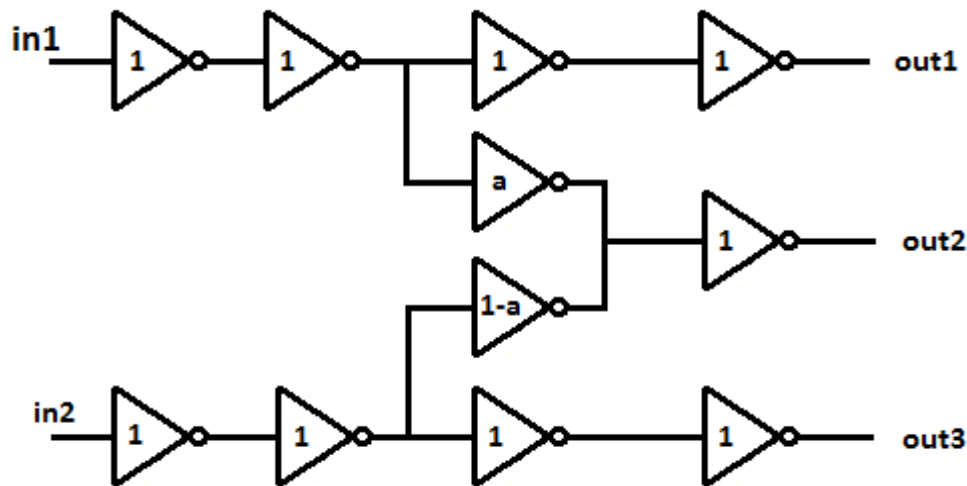
## Новая реализация секции CDL

- ◆ каждая секция состоит из 220 ячеек, к каждой ячейке подключается своя пара нагрузочных транзисторов, управляемых кодом;
- ◆ параллельное включение ячеек обеспечивает задержку секции:

$$T_{\text{delay}} \propto [j/W_{\text{sec}} + 1/W_{\text{fixed}} + 1/W_0 + \dots + 1/W_j];$$

# Интерполятор (Phase Interpolator)

## Однокаскадный 2-ways интерполятор



$a$  – коэффициент интерполяции;

2 входные фазы - 3 выходные фазы, положение средней фазы (out2) может регулироваться при помощи изменения:

- ♦ Коэффициента интерполяции  $a$ ;
- ♦ Длин канала транзисторов  $L$ , входящих в интерполирующий каскад;

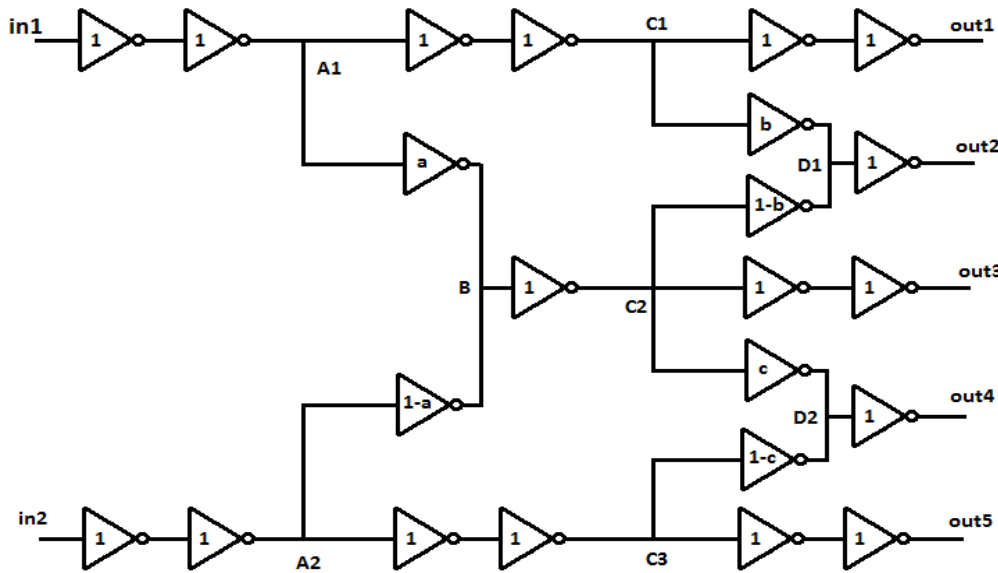
	$\Delta\text{ph}(\text{out1};\text{out3})$	$\Delta\text{ph}(\text{out2};\text{out3})$	
<b>Процесс</b>	<b>Интервал</b>	$a=0.47$	$a=0.50$
<b>tt</b>	<b>46 пс</b>	<b>54%</b>	<b>50%</b>
<b>ss</b>		<b>45%</b>	<b>41%</b>
<b>ff</b>		<b>56%</b>	<b>51%</b>

При  $L=\text{const}=30$  нм

	$\Delta\text{ph}(\text{out3},\text{out1})$	$\Delta\text{ph}(\text{out3},\text{out2})$	
<b>Процесс</b>	<b>Интервал</b>	$L=30\text{нм}$	$L=60\text{нм}$
<b>tt</b>	<b>46 пс</b>	<b>50%</b>	<b>52%</b>
<b>ss</b>		<b>41%</b>	<b>43%</b>
<b>ff</b>		<b>51%</b>	<b>53%</b>

При  $a=\text{const}=0.50$

# Двухкаскадный 4-ways интерполятор



a, b, c – коэффициенты интерполяции;

2 входные фазы - 5 выходных фаз,  
положение средних фазы (out2, out3, out4)  
может регулироваться при помощи  
изменения:

- ◆ Коэффициентов интерполяции **a, b, c;**

Зависимость времени фаз задержки  
при изменении **a, b, c** ( $L = \text{const} = 30 \text{ нм}$ ,  
 $d_{ph} = 46 \text{ пс}$ ,  $d_{ph_{ид}} = 11.5 \text{ пс}$ );

**dph1** - разность фаз между **out1** и **out2**;  
**dph2** - разность фаз между **out2** и **out3**;  
**dph3** - разность фаз между **out3** и **out4**;  
**dph4** - разность фаз между **out4** и **out5**;

- ◆ Первый вариант: +/-4.5 пс;

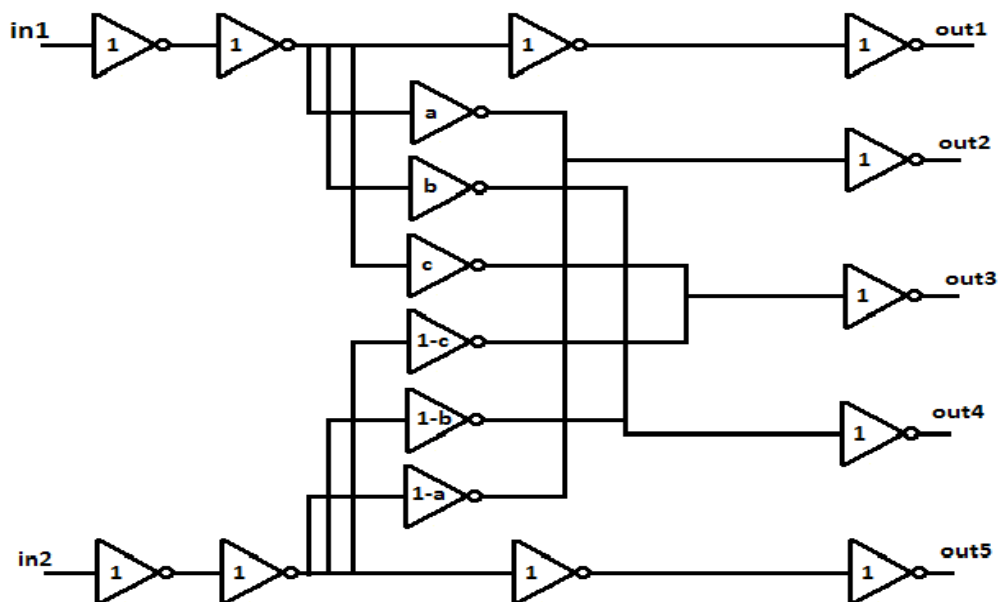
- ◆ Второй вариант: +/-1.8 пс;

Второй вариант предпочтительнее.

Технология	<b>a=0.57/b=0.47/c=0.50</b>			
	$\Delta_{ph1}, \text{ пс}$	$\Delta_{ph2}, \text{ пс}$	$\Delta_{ph3}, \text{ пс}$	$\Delta_{ph4}, \text{ пс}$
tt	11,6	11,5	11,4	11,5
ss	7,2	14,1	8,5	16,2
ff	12,5	10,9	11,9	10,7

Технология	<b>a=0.56/b=0.47/c=0.47</b>			
	$\Delta_{ph1}, \text{ пс}$	$\Delta_{ph2}, \text{ пс}$	$\Delta_{ph3}, \text{ пс}$	$\Delta_{ph4}, \text{ пс}$
tt	13,6	11,3	11,9	10,1
ss	10,2	14	9,4	13,8
ff	12,5	11	12,2	9,7

# Однокаскадный 4-ways интерполятор



**a, b, c** – коэффициенты интерполяции;

2 входные фазы - 5 выходных фаз,  
положение средних фазы (out2, out3, out4)  
может регулироваться при помощи  
изменения:

- ◆ Коэффициентов интерполяции **a, b, c**;

Технология	<b>a=0.68/b=0.50/c=0.47</b>			
	$\Delta_{ph1}$ , пс	$\Delta_{ph2}$ , пс	$\Delta_{ph3}$ , пс	$\Delta_{ph4}$ , пс
tt	11,7	11,2	13,1	10
ss	10,3	8,6	11,3	15,8
ff	11,7	11,7	13,3	9,3
Технология	<b>a=0.68/b=0.50/c=0.51</b>			
	$\Delta_{ph1}$ , пс	$\Delta_{ph2}$ , пс	$\Delta_{ph3}$ , пс	$\Delta_{ph4}$ , пс
tt	11,7	11,2	11,3	11,8
ss	10,3	8,6	9,6	17,6
ff	11,7	11,7	11,6	11

Зависимость времени фаз задержки  
при изменении **a, b, c** ( $L=const=30\text{нм}$ ,  
 $d_{ph}=46\text{пс}$ ,  $d_{phид}=11.5\text{пс}$ );

**dph1** - разность фаз между **out1** и **out2**;

**dph2** - разность фаз между **out2** и **out3**;

**dph3** - разность фаз между **out3** и **out4**;

**dph4** - разность фаз между **out4** и **out5**;

Первый вариант: +/-3.6 пс;

Второй вариант: +/-4.5 пс;

Первый вариант предпочтительнее.

# Реализация интерполятора

Сравнение моделей однокаскадного и двухкаскадного интерполяторов на 4-ways

## Однокаскадный 4-ways интерполятор

Технология	a=0.68/b=0.50/c=0.47			
	$\Delta_{ph1}$ , пс	$\Delta_{ph2}$ , пс	$\Delta_{ph3}$ , пс	$\Delta_{ph4}$ , пс
tt	11,7	11,2	13,1	10
ss	10,3	8,6	11,3	15,8
ff	11,7	11,7	13,3	9,3

## Двухкаскадный 4-ways интерполятор

Технология	a=0.57/b=0.48/c=0.49			
	$\Delta_{ph1}$ , пс	$\Delta_{ph2}$ , пс	$\Delta_{ph3}$ , пс	$\Delta_{ph4}$ , пс
tt	11,8	11,3	11,6	11,4
ss	7,6	13,8	8,8	16
ff	12,5	10,9	11,9	10,7

Зависимость времени фаз задержки при изменении  $a, b, c$  ( $L = \text{const} = 30 \text{ нм}$ ,  $d_{ph} = 46 \text{ пс}$ ,  $d_{ph_{ид}} = 11.5 \text{ пс}$ );

$d_{ph1}$  - разность фаз между out1 и out2;

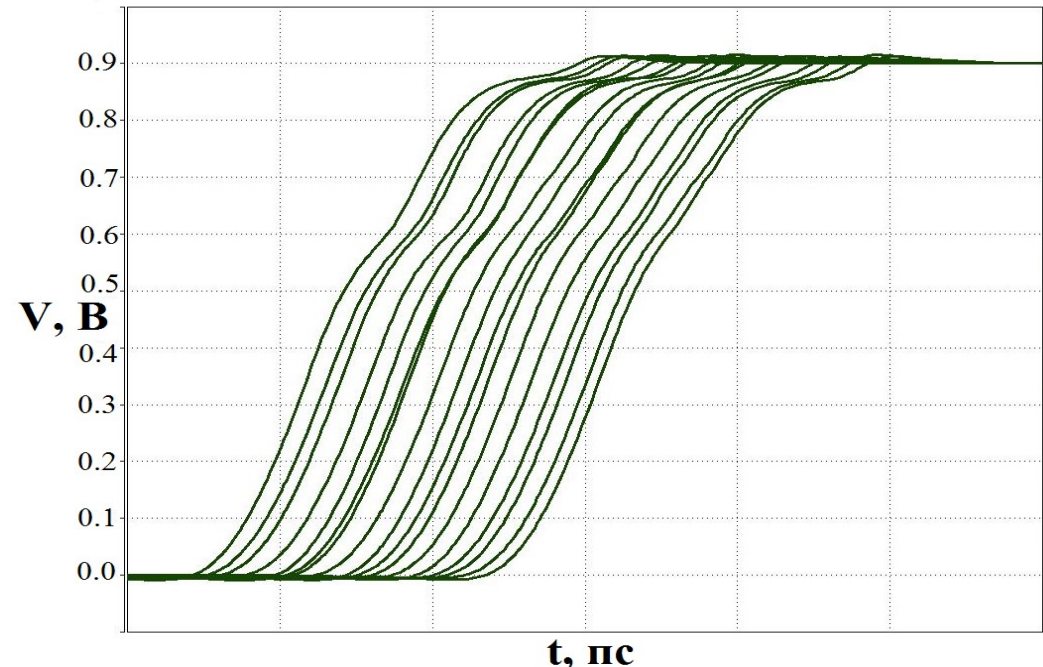
$d_{ph2}$  - разность фаз между out2 и out3;

$d_{ph3}$  - разность фаз между out3 и out4;

$d_{ph4}$  - разность фаз между out4 и out5;

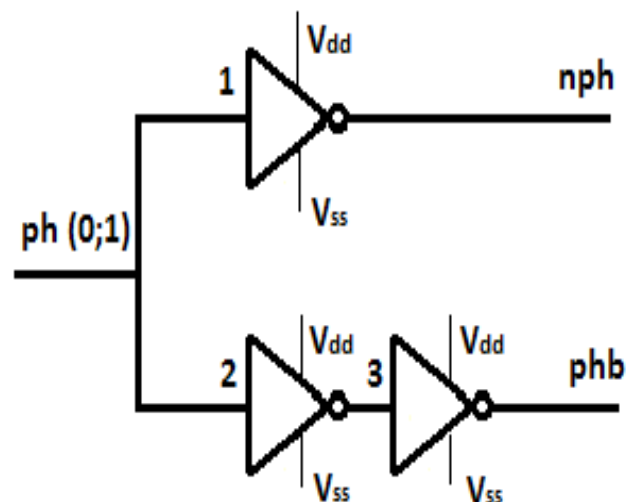
- ♦ Однокаскадный интерполятор: +/-3.6 пс;
- ♦ Двухкаскадный интерполятор: +/-1.8 пс;

Согласно результатам исследований на моделях для реализации в устройстве BFS был выбран двухкаскадный интерполятор 4-ways.



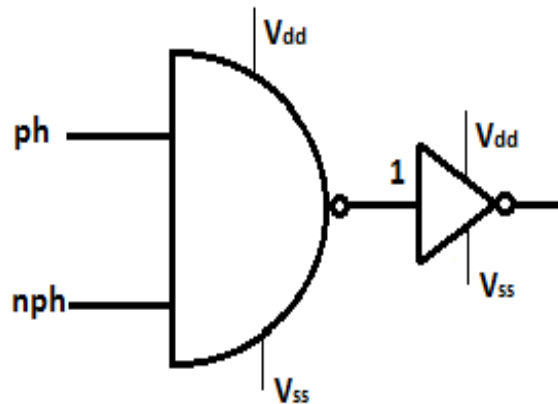
Выходные фазы с двухкаскадного интерполятора 4-ways с учетом синтеза топологии. Из-за паразитных параметров погрешности увеличались практически вдвое. Поэтому был реализован однокаскадный интерполятор на 2-ways.

# Выпрямитель фазы (phase aligner)

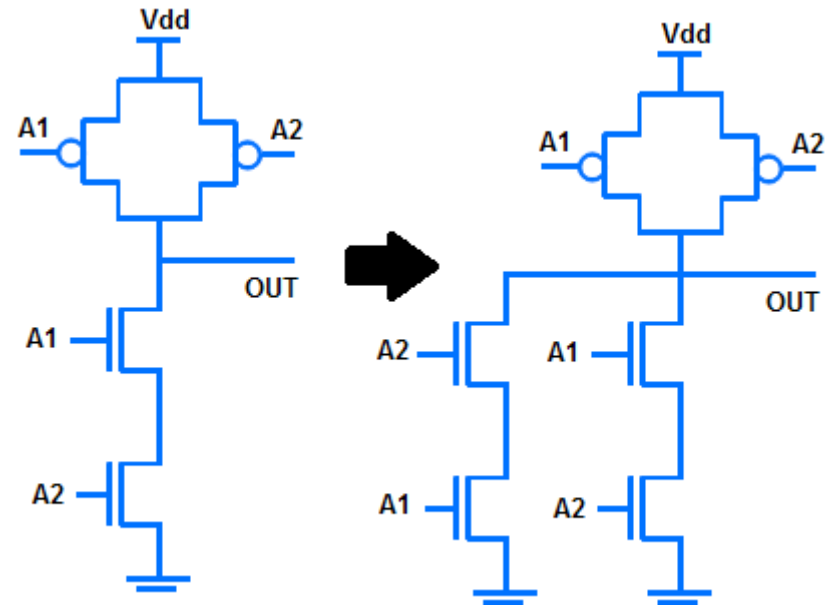


**фазовый выпрямитель (phase aligner)** - блок, позволяющий на выходе получить сигналы напрямую с выхода интерполятора и такое же количество инвертированных сигналов (**N прямых фаз** и **N инвертированных фаз**);

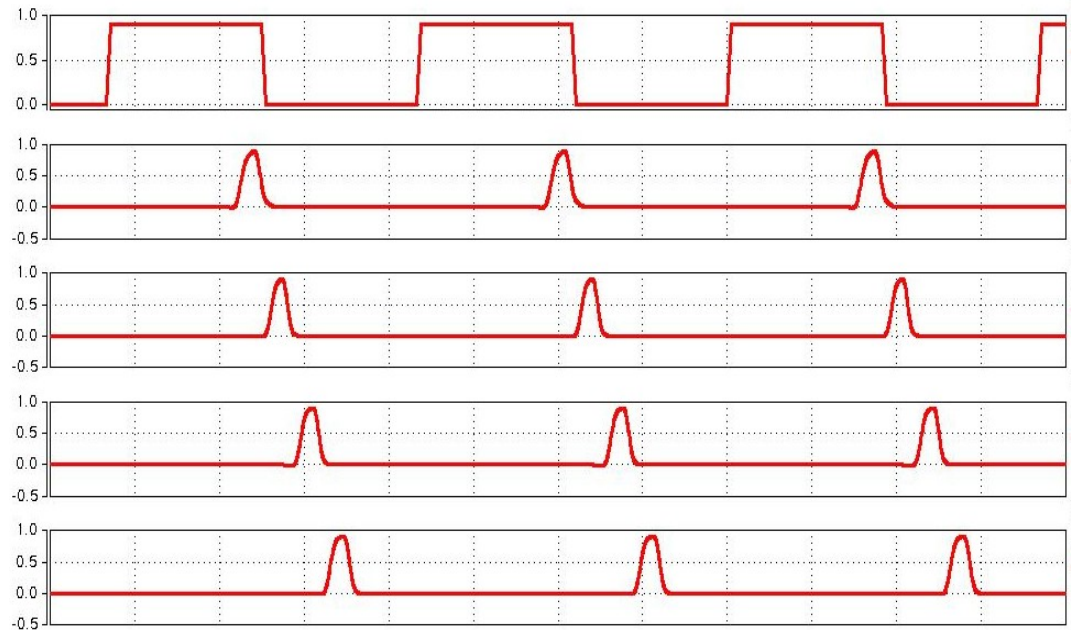
# Генератор импульсов ( pulse generator )



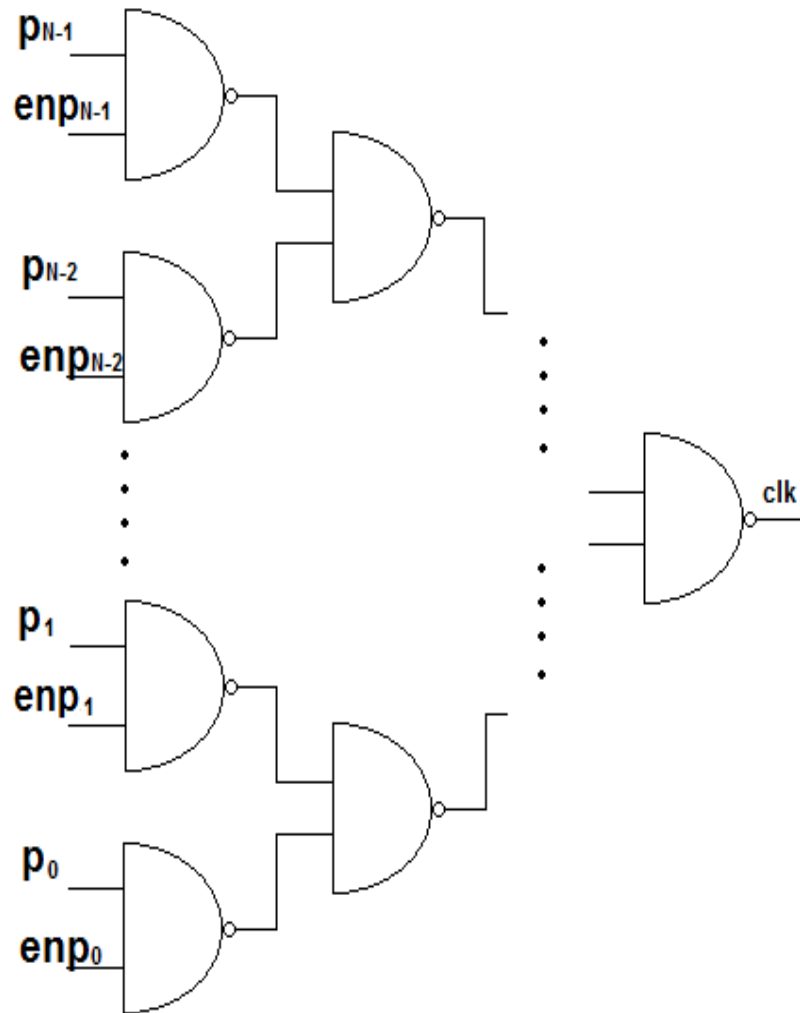
генератор импульсов (pulse generator) - блок, отвечающий за формирование импульсов длительностью  $T_{dl}/N$  из инвертированных и неинвертированных фаз, где  $N$  – количество фаз на выходе интерполятора;



Изменение схемы И-НЕ ( потребовалось для достижения симметричности выходных импульсов при переключении сигналов **A1** и **A2**).



# Формирователь сигнала ( Pulse selector )



Осуществляет непосредственно коммутацию выбранных выбранных фаз управляемой линии задержки на соответствующие формирователи выходных синхросигналов, которые обеспечивают переключение каждого выходного синхросигнала по каждой последующей выбранной для него фазе.



# Результаты

- ◆ Проведено исследование блоков, входящих в состав предыдущей реализации VFS;
- ◆ Разработан блок VFS для входного базового синхросигнала в диапазоне от 0.8 ГГц до 2 ГГц для процессоров «Эльбрус-8С2» и «МЦСТ-Р2000» на технологии 28 нм;
- ◆ Проведено исследование погрешностей выходных сигналов устройства в диапазоне изменения питания, температуры и технологий;

# Результаты

## Требования к входным сигналам

### Выходные характеристики

#### Параметры:

- Напряжение питания 0.9В +/-10%;
- Температура кристалла в диапазоне от -40С до 125С;
- 3 технологических угла процесса TSMC CLN28G;

#### Требования к входным сигналам:

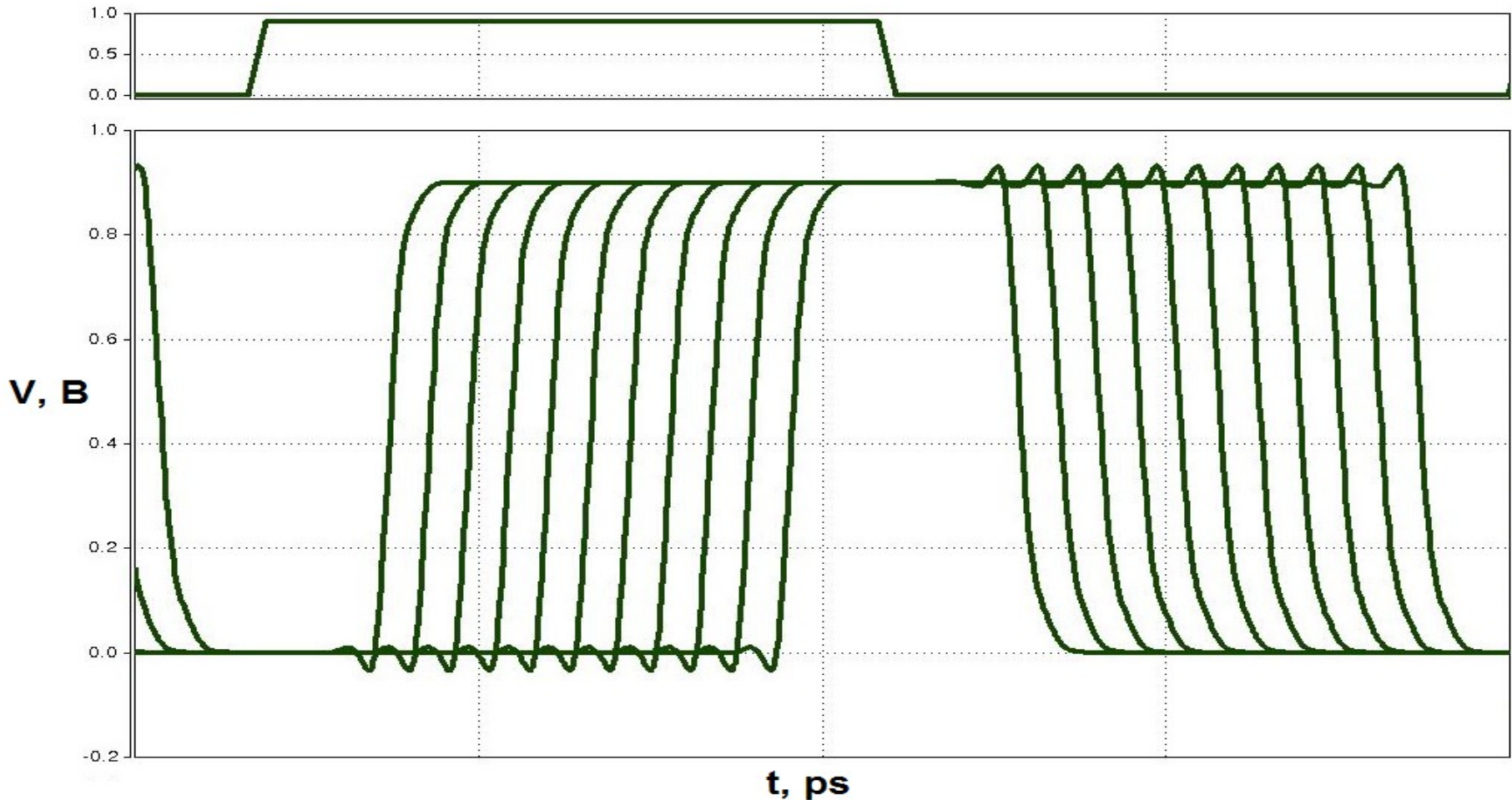
- Входной синхросигнал — стационарный периодический сигнал с частотой в диапазоне от 800МГц до 2ГГц;
- Скважность входного сигнала от 35% до 65%;

#### Характеристики устройства (аналоговая часть BFS):

- Общее количество транзисторов: 18702 транзистора;
- Занимаемая площадь: 60мкм\*80мкм;
- Средний потребляемый ток: 18.9мА (при входной частоте 1ГГц)

**Спасибо за внимание!**

## 2.1.2 Реализация CDL в МЦСТ R2000 и Эльбрус-8С2



**Пример:**

- ♦ входной сигнал с частотой 1.36ГГц (т.е  $T_{dl}=733\text{пс}$ ), принадлежит допустимому диапазону частот.
- ♦ на выходе 16 фаз, разность между которыми 23р ( $23\text{р} \cdot 16\text{секций} \cdot 2 = 733\text{р}$ ).