



И.Н. Бычков, Ю.С. Рябцев, Ю.Х. Халиуллин

МЕТОДЫ ИТЕРАТИВНОЙ РАЗРАБОТКИ ВЫЧИСЛИТЕЛЬНОГО МОДУЛЯ МНОГОПРОЦЕССОРНОГО СЕРВЕРА

Аннотация

Рассмотрены методы итеративной разработки вычислительного модуля для обеспечения ремонтпригодности и надежности сервера при увеличении количества микросхем процессоров, оперативной памяти и периферийных интерфейсов. Методы успешно применены в процессе проектирования серверных процессоров с архитектурой «Эльбрус».

Ключевые слова: итеративная разработка, многоядерный процессор, многокритериальная оптимизация, прототипирование микросхемы, тестирование микросхем.

Введение

Разработка микросхем процессоров и вычислительных модулей многопроцессорных серверов с целью развития аппаратно-программной платформы связана с необходимостью повышения их основных технических характеристик: производительности, уровня унификации, масштабируемости и пропускной способности обмена с оперативной памятью – путем соответствующего добавления новых ядер, каналов и модулей памяти. Спецификой такой разработки являются обеспечение своевременной комплексной отработки общего программного обеспечения и исчезновение четких границ между системотехническим, схемотехническим и конструкторско-технологическим проектированием вычислительного модуля многопроцессорного сервера в составе автоматизированных систем управления.

Важной проблемой при конструкторско-технологическом проектировании современного многопроцессорного сервера на основе микросхем процессоров российской разработки является обеспечение ремонтпригодности и надежности вычислительного модуля при увеличении количества микросхем процессоров, оперативной памяти и периферийных интерфейсов. Увеличение количества микросхем процессоров в составе вычислительных модулей приводит к уменьшению выхода годных модулей (Y_M) и снижению вероятности их безотказного функционирования

(P_M) в соответствии со следующими известными формулами:

$$Y_M = Y_C^{N_C \cdot (1 - \gamma_C)^m};$$

$$P_M = \exp \left[- \sum_{i=1}^K n_i \int_0^t \lambda_i(t) dt \right],$$

где Y_C – выход годных микросхем процессоров после тестирования; N_C – количество микросхем процессоров; m – количество ремонтов с заменой микросхем процессора; K – число типов компонентов для обеспечения функционирования микросхем процессоров; $\lambda_i(t)$ – интенсивность отказов компонента i -го типа; n_i – число компонентов i -го типа.

Невыполнение требований применения и возможной замены микросхем процессоров или других компонентов с учетом технологических ограничений приводит к непригодности, отказам или сбоям функционирования. Устранение всех ошибок невозможно без итеративной отработки проектных решений. Принцип итеративности допускает не только последовательное принятие проектных решений для составных частей вычислительного модуля, но и многократные уточнения этих решений в зависимости от результатов выполнения этапов проектирования. В соответствии с этим общим принципом при конструкторско-технологическом проектировании целесообразна компоновка

вычислительного модуля на этапах проектирования микросхемы процессора.

По мнению авторов, актуальной является разработка новых методов натурной компоновки с учетом особенностей микросхем процессоров с наличием межпроцессорных каналов. Многие микросхемы серверных процессоров имеют три межпроцессорных канала для создания многопроцессорных систем с неоднородным доступом к памяти и кэш-когерентностью (Non-Uniform memory access, ccNUMA). Тем самым возможно построение многопроцессорных серверов из четырех микросхем процессоров, имеющих одинаковые межпроцессорные каналы. Примеры микросхем серверных процессоров «Эльбрус» с тремя межпроцессорными каналами представлены на рис. 1.

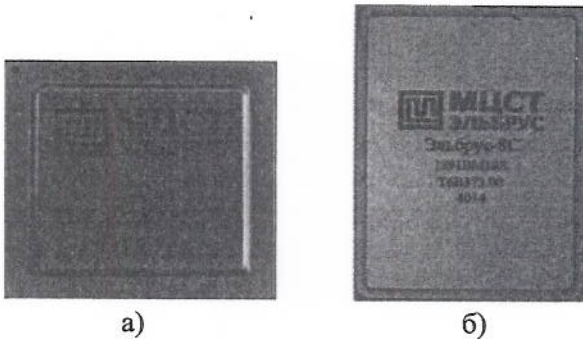


Рис. 1. Микросхемы серверных процессоров с архитектурой «Эльбрус»: а) «Эльбрус-4С» (4 ядра «Эльбрус»; 986 млн. транзисторов; 65 нм; 800...850 МГц; 50...60 Гфлопс; 45...55 Вт); б) «Эльбрус-8С» (8 ядер «Эльбрус»; 2,7 млрд. транзисторов; 28 нм, 1300 МГц; 250 Гфлопс; 75...90 Вт)

Метод проработки интерфейсов вычислительного модуля

Имеется возможность проработки проектных решений для компонентов подсистемы памяти, контроля функционирования, синхронизации и ввода-вывода из состава вычислительного модуля при разработке, наладке и применении вспомогательной аппаратуры для функциональной верификации модели процессора. К эффективно-му классу вспомогательной аппаратуры относятся специализированные прототипы на основе микросхем программируемой логики (ПЛИС) [1], [2]. Такие прототипы применяются многими разработчиками высокопроизводительных процессоров, но их объединение путем введения для них межпроцессорных каналов и подсистемы ввода-

вывода позволяет получить уже эмулируемую модель многопроцессорного сервера. С целью создания прототипов процессора с возможностью их объединения для получения модели многопроцессорного сервера предлагается метод проработки интерфейсов вычислительного модуля, который состоит из следующих этапов:

- реализация модуля с функциональностью ядра процессора и интерфейсами, используемыми в вычислительном модуле для каналов межпроцессорного обмена;
- реализация модуля с функциональностью подсистемы памяти процессора и интерфейсами, используемыми в вычислительном модуле для каналов обмена с оперативной памятью;
- реализация модуля с функциональностью подсистемы ввода-вывода вычислительного модуля и интерфейсами, используемыми для устройств пользователя;
- комплексное тестирование используемых интерфейсов, устройств пользователя и программного обеспечения многопроцессорного сервера.

Эффективность предложенного метода проработки интерфейсов вычислительного модуля определяется развитием современных ПЛИС и высокочастотных разъемов с высокой плотностью контактов. Выпускаемые в последнее время микросхемы этого класса содержат физические уровни и контроллеры новейших интерфейсов, включая встроенные средства диагностики их функционирования. Применение самых современных высокочастотных интерфейсов не является необходимым при создании специализированных прототипов для функциональной верификации модели процессора. Ошибки применения этих интерфейсов при разработке прототипов с учетом технологических ограничений не критичны, но снижают максимальную возможную частоту эмуляции модели процессора [3].

Предложенный метод проработки интерфейсов вычислительного модуля основан на модульном принципе построения электронной аппаратуры и успешно применен при разработке прототипов многоядерных процессоров «Эльбрус-4С» и «Эльбрус-8С». С учетом тенденции увеличения количества ядер процессора особенностью предложенного метода является постоянное повышение для новых процессоров пропускной способности интерфейсов модуля с функциональностью подсистемы памяти. При этом применяются са-

мые современные высокочастотные разъемы с высокой плотностью контактов. Прототип вычислительного модуля создается на основе нескольких специализированных прототипов процессора. Сравнительные характеристики прототипов многоядерных процессоров приведены в табл. 1.

В рамках разработки прототипа процессора целесообразна также отработка конструкции многопроцессорного сервера с высокочастотной передачей данных через разъемы модулей. Например, прототип процессора «Эльбрус-4С» реализован в конструктиве «Евромеханика» для промышленного и специального применения, тогда как прототип процессора «Эльбрус-8С» реализован в стандартном корпусе общего применения. На этапе функциональной верификации процессора не требуется применения прототипов в специальных условиях. Оработка конструкции многопроцессорного сервера по новым стандартам системотехнического проектирования позволяет получить опыт выполнения конструкторских ограничений для вычислительного модуля с

целью достижения высоких эксплуатационных характеристик. Конструкции прототипов, разработанных с применением предложенного метода проработки интерфейсов вычислительного модуля, представлены на рис. 2.

Метод проработки типовых блоков процессора

Тестирование и наладка типовых блоков процессора при его итеративной разработке целесообразны в составе стенда тестирования и разбраковки, который разрабатывается и изготавливается для проведения испытаний [4]. Этот стенд является функционально-идентичной моделью многопроцессорного сервера и имеет возможность установки сразу нескольких процессоров. В рамках разработки типовых блоков для микросхемы процессора возможна реализация различных схмотехнических и конструкторско-технологических решений. На основе опыта выполнения разработок предложены следующие этапы метода проработки типовых блоков процессора:

Таблица 1

Характеристики специализированных прототипов процессоров

Параметр	Прототип «Эльбрус-4С»	Прототип «Эльбрус-8С»	Intel MCEM	IBM Twinstar system
Эмулируемый процессор	«Эльбрус-4С»	«Эльбрус-8С»	Nehalem Core i7	Bluegene/Q
Количество транзисторов, млн. шт.	1112	3000	774	1470
Количество ядер процессора, шт.	4	8	4	16
Частота эмуляции на прототипе, МГц	8,3	9	10	4
ПЛИС, примененные для прототипа	Stratix IV, EP4SE820, EP4SE530	Stratix IV, EP4SE820	Virtex-4 FX140/LX200, Virtex-5 LX330	Virtex5 LX330
Количество ПЛИС, шт.	10	21	45	28...60
Количество элементов (блоков) ПЛИС, млн. шт.	8,1	17	8	5,8...13
Количество/тип каналов памяти	3 канала / DDR3	4 канала / DDR3	18 каналов / DDR	28 каналов / DDR2

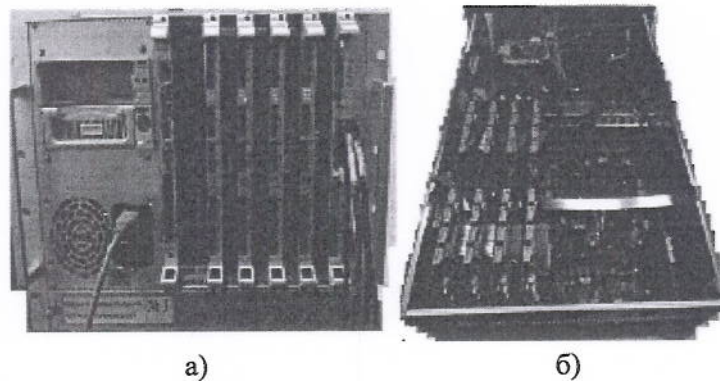


Рис. 2. Прототипы процессоров: а) «Эльбрус-4С»; б) «Эльбрус-8С»

- выбор высокочастотного контактирующего устройства (сокета) тестирования процессора при выполнении для каждого типового блока последующих этапов;
- размещение микросхемы процессора, компонентов подсистем памяти, контроля, синхронизации по результатам предварительного планирования;
- выбор и размещение компонентов подсистемы питания;
- определение структуры слоев и формирование сегментов для питания и земли;
- трассировка памяти, каналов межпроцессорного обмена и ввода-вывода и других интерфейсов микросхемы процессора.

Эффективность предложенного метода проработки типовых блоков процессора определяется развитием компонентов системы питания и высокочастотных сокетов для современных сложнофункциональных микросхем. Эти сокетные реализованы на основе эластомера и разрабатываются с учетом особенностей стенда тестирования и разбраковки [5]. Предлагается применять отработанные типовые блоки процессоров в вычислительном модуле многопроцессорного сервера с пайкой всех микросхем. Выполнение требований по установке сокетов позволяет обеспечить возможную замену микросхем процессоров в случае ремонта. Отработка в рамках стенда сразу нескольких типовых блоков позволяет определить особенности применения компонентов вычислительного модуля в условиях внешних воздействующих факторов. Ошибки применения этих компонентов при разработке стендов с учетом технологических ограничений не критичны, но снижают надежность стенда и сроки его эксплуатации.

При последовательной реализации этапов одни критерии оптимизации становятся важнее других, поэтому общий критерий оптимальности можно определить по лексикографическому порядку с линейной сверткой частных критериев, а поиск оптимальных решений проводить среди лексикографического множества. Существование иерархии среди критериев позволяет решать лексикографические задачи последовательно, шаг за шагом оптимизируя по очередному критерию и используя оптимальные значения параметров предварительных критериев как ограничения.

В представленном методе для различных типовых блоков применяется свой лексикографи-

ческий порядок критериев оптимизации. На первом этапе для всех типовых блоков процессора приоритетны оценка стоимости изготовления сокета и выполнение конструкторско-технологических ограничений с целью его установки и использования. Исходя из опыта применения представленного метода для типового блока загрузочного процессора, исполняющего программу начального старта, на втором этапе главным образом учитываются конструкторско-технологические ограничения для вычислительного модуля. На третьем этапе основное значение придается оценке стоимости компонентов подсистемы питания и обеспечению стабильности напряжений питания. На четвертом этапе основными критериями являются оценка стоимости печатной платы вычислительного модуля и обеспечение стабильности напряжения питания. На пятом этапе самыми важными критериями являются обеспечение целостности сигналов и выполнение конструкторско-технологических ограничений для печатной платы вычислительного модуля.

В результате анализа типовых блоков для вычислительных модулей многопроцессорных серверов с применением популярных микросхем процессоров Xeon® или Opteron™ определены следующие основные конструкторско-технологические решения, которые целесообразно считать критериями проектирования:

- габаритные размеры типового блока процессора, позволяющие разместить до четырех микросхем процессоров на печатной плате вычислительного модуля;
- размещение источников питания непосредственно возле микросхемы процессора;
- наличие крепежных отверстий под установку сокетов и радиаторов;
- размещение конденсаторов с достаточной суммарной емкостью и низким эквивалентным омическим сопротивлением для обеспечения стабильности напряжения питания при скачке тока потребления;
- количество минимально необходимых сигнальных слоев печатной платы вычислительного модуля, не превышающее числа каналов оперативной памяти микропроцессора;
- отсутствие трасс высокочастотных сигналов над разрезами в опорных слоях земли и питания;
- отсутствие участков трасс высокочастотных сигналов без опорного слоя земли или питания.

Эти критерии предлагается учитывать в соответствии с их приоритетами на этапах предлагаемого в данной работе метода проработки типовых блоков процессора.

Примеры типовых блоков процессоров «Эльбрус-4С» и «Эльбрус-8С» представлены на рис. 3. Цифрами обозначены типовые элементы блоков: 0 – источники питания процессора; 1 – конденсаторы и фильтры; 2 – разъемы оперативной памяти; 3 – генераторы синхросигнала; 4 – переключатели или разъемы управления и диагностики. Также в блоках выполняется вывод дифференциальных пар каналов ввода-вывода и всех межпроцессорных каналов к развязывающим по постоянному току конденсаторам 5. Как правило, для типового блока загрузочного процессора используются источники питания со средствами измерения потребляемой мощности, что требуется только для тестирования и разбраковки микросхем и не является обязательным для обеспечения функционирования микросхемы процессора в составе серверов.

Проработка компонентов вычислительного модуля

Для выполнения этапов конструкторско-технологической разработки микросхем процессоров важным является создание вспомогательно-

го оборудования, к которому можно отнести прототипы процессора, а также стенды тестирования и разбраковки. Эффективность определения компонентов вычислительного модуля для создания такого вспомогательного оборудования на этапах функциональной верификации процессора и подготовки оснастки для проведения испытаний связана со следующими факторами:

- отработка необходимых схмотехнических решений;
- исследование и учет условий долговременной поставки разных по количеству партий компонентов;
- не критичность ошибок применения компонентов в составе вспомогательного оборудования;
- длительное тестирование компонентов в составе вспомогательного оборудования совместно с программным обеспечением многопроцессорного сервера;
- проработка обоснования для применения импортных компонентов.

При определении компонентов используются следующие критерии для выполнения условий их долгосрочной поставки при создании техники двойного или военного назначения:

- наличие аналогов или приемлемых замен с таким же посадочным местом на печатной плате вычислительного модуля;

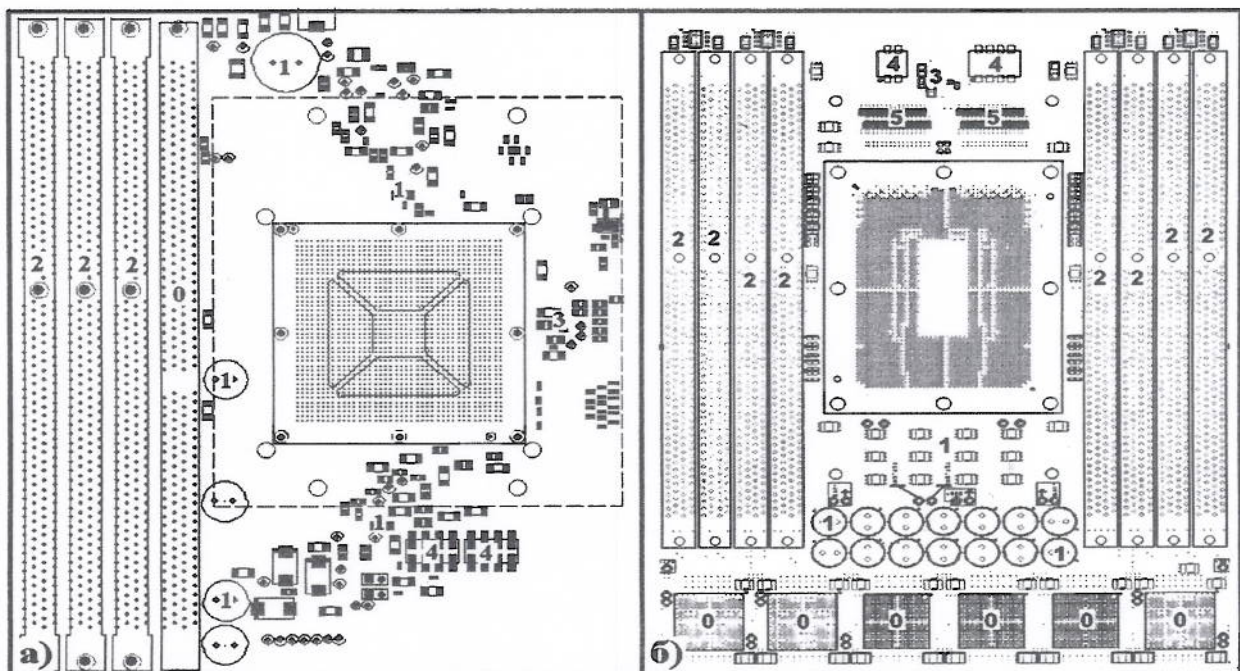


Рис. 3. Типовые блоки процессоров: а) «Эльбрус-4С»; б) «Эльбрус-8С»

- характеристики компонентов (включая посадочное место), соответствующие стандарту, принятому несколькими производителями;
- гарантии производителя по долгосрочному выпуску компонентов при многолетней практике выполнения обязательств;
- поставка разных по количеству партий компонентов.

Выполнение трех из вышеперечисленных критериев позволяет обеспечить долгосрочный выпуск вычислительных модулей. Одним из примеров компонента, удовлетворяющего всем критериям этой группы, является малораспространенный разъем типа $\times 32$ Card Edge Connector. Этот разъем соответствует стандарту PCI Express™ Card Electromechanical Specification 1.1, предлагается несколькими производителями и имеет множество поставщиков ввиду небольшого, но устойчивого спроса. Отметим, что примером компонента, не удовлетворяющего трем критериям представленной группы, может служить микросхема набора частот для любого контроллера периферийных интерфейсов, которая является самым дешевым и компактным решением для получения синхросигналов вычислительного модуля, но не имеет перспектив долгосрочного выпуска ввиду неизбежного падения спроса на модули с применением этого контроллера.

Заключение

При принятии управленческих решений в процессе разработки важен принцип итеративности, при котором допускаются не только последовательные принятия решений на более ранних этапах проектирования, но и их многократные уточнения в зависимости от результатов выполнения последующих этапов. Представленные методы итеративной разработки вычислительного модуля многопроцессорного сервера предложены с учетом развития за последние пять лет современных электронных компонентов и контактирующих устройств тестирования сложно-функциональных микросхем. Эти методы успешно применены в процессе проектирования нескольких поколений процессоров серии «Эльбрус». Текущая практика разработки подтверждает исчезновение четких границ между системотехническим,

схемотехническим и конструкторско-технологическим проектированием микросхемы процессора и вычислительного модуля сервера в составе автоматизированных систем управления. Предложенные методы и практические результаты их применения могут быть полезны инженерам и научным сотрудникам, которые интересуются разработкой вычислительной техники на основе сложно-функциональных микросхем.

Список литературы:

1. Будылин Ф.К., Полицук И.А., Слесарев М.В., Юрлин С.В. Опыт прототипирования микропроцессоров компании ЗАО «МЦСТ» // Вопросы радиоэлектроники. 2012. Сер. ЭВТ. Вып. 3. С. 132-142.
2. Asaad S., Bellofatto R., Brezzo B., Haymes Ch., Kapur M., Parker B., Roewer T., Saha P., Takken T., Tierno J. A Cycle-accurate, Cycle-reproducible multi-FPGA System for Accelerating Multi-core Processor Simulation / Proceedings of the ACM/SIGDA 20th International Symposium on Field Programmable Gate Arrays, FPGA 2012, Monterey, CA, USA, February 22-24, 2012. PP. 153-162.
3. Слесарев М.В., Юрлин С.В. Определение расчетной частоты эмуляции микропроцессора в прототипе на основе ПЛИС // Вопросы радиоэлектроники. 2014. Сер. ЭВТ. Вып. 3. С. 119-130.
4. Бычков И.Н., Воробьев А.С., Рябцев Ю.С. Стенд тестирования и разбраковки многоядерных процессоров // Приборы. 2015. № 2 (176). С. 16-22.
5. Молчанов И.А., Бычков И.Н., Воробьев А.С. Высоочастотные сокет для стендов тестирования микропроцессоров / Сб. материалов XXI Международной научно-практической конф. «Перспективы развития информационных технологий». Под общ. ред. С.С. Чернова. – Новосибирск: Издательство ЦРНС, 2014. С. 31-35.

Игнат Николаевич Бычков,
канд. техн. наук, начальник отдела,
Юрий Степанович Рябцев,
д-р техн. наук, профессор,
гл. научный сотрудник,
ПАО «ИНЭУМ им. И.С. Брука»,
Юлий Халитович Халиуллин,
инженер,
АО «МЦСТ»,
г. Москва,
e-mail: bychkov_i@ineum.ru