

Для цитирования: Мальшин А. В., Есаков И. А., Портнова Л. А. Синтезатор синхросигналов на основе DLL с дробным коэффициентом умножения частоты для микропроцессоров семейства «Эльбрус» // Вопросы радиоэлектроники. 2017. № 3. С. 83–89. УДК 621.3

А. В. Мальшин^{1,2}, И. А. Есаков^{1,2}, Л. А. Портнова¹

¹ АО «МЦСТ», ² ПАО «ИНЭУМ им. И. С. Брука»

СИНТЕЗАТОР СИНХРОСИГНАЛОВ НА ОСНОВЕ DLL С ДРОБНЫМ КОЭФФИЦИЕНТОМ УМНОЖЕНИЯ ЧАСТОТЫ ДЛЯ МИКРОПРОЦЕССОРОВ СЕМЕЙСТВА «ЭЛЬБРУС»

Рассматриваются принципы построения и особенности проектирования синтезатора синхросигналов, основанного на управляемой линии задержки (DLL), который позволяет под управлением ОС выполнять «на лету» изменение частот синхронизации узлов микропроцессора без прерывания вычислительного процесса. Синтезатор разработан по технологическим нормам 28 нм для микропроцессоров семейства «Эльбрус» и позволяет из одного опорного высокочастотного сигнала синтезировать до четырех рабочих синхросигналов с дробными значениями коэффициентов умножения в диапазоне от 1/2 до 2.

Ключевые слова: синтезатор синхросигналов, ФАПЧ, фазовый интерполятор, цифровое управление.

Введение

В современных микропроцессорах для синхронизации отдельных устройств требуются сигналы синхронизации с различными частотами, которые, в свою очередь, должны обладать функцией динамического изменения частоты «на лету», без потери целостности синхросигнала и без прерывания вычислительного процесса. Реализация этих функций обеспечивается расположенными на кристалле схемами синтезаторов синхросигналов, выполняющими преобразование частоты общего опорного сигнала в один или несколько рабочих синхросигналов с частотами, которые могут изменяться в процессе работы микропроцессора. Наиболее распространенные в настоящее время способы реализации синтезаторов описаны в [1].

В большинстве случаев для этих целей используется приведенная на рис. 1 схема на основе контура фазовой автоподстройки частоты и фазы (PLL), дополненная двумя цифровыми делителями частоты на входе опорного синхросигнала F_{ref} ($divR$) и в петле обратной связи ($divF$) с программируемыми величинами коэффициентов деления NR и NF . Общие подходы к построению синтезаторов на основе PLL, а также результаты их реализации приведены в [2, 3].

Основными достоинствами данного типа схем является возможность синтеза частоты выходного сигнала F_{out} с дробными величинами коэффициента умножения частоты:

$$F_{out} = F_{ref} \left(\frac{NF}{NR} \right),$$

а также широкий диапазон значений коэффициента умножения от долей единицы до нескольких сотен. Принципиальным недостатком этих схем, ограничивающим возможность их эффективного использования в адаптивных системах, является ощутимое, по сравнению с темпом активной работы исполнительного оборудования, время (порядка десятков мкс), которое требуется для «захвата» новой частоты F_{out} при изменении коэффициента умножения. Помимо этого, вследствие колебательного характера изменения частоты в процессе захвата, работа исполнительного оборудования в это время должна быть приостановлена из-за возможного кратковременного превышения частотой величины, при которой еще обеспечивается бесперебойная работа оборудования.

Альтернативная схема синтезатора, представленная на рис. 2а, основана на контуре

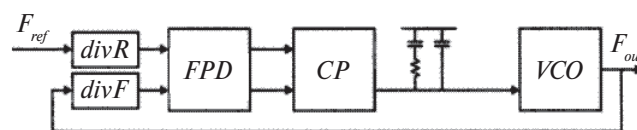
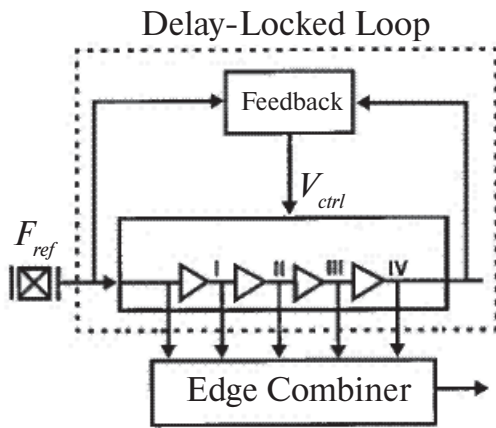
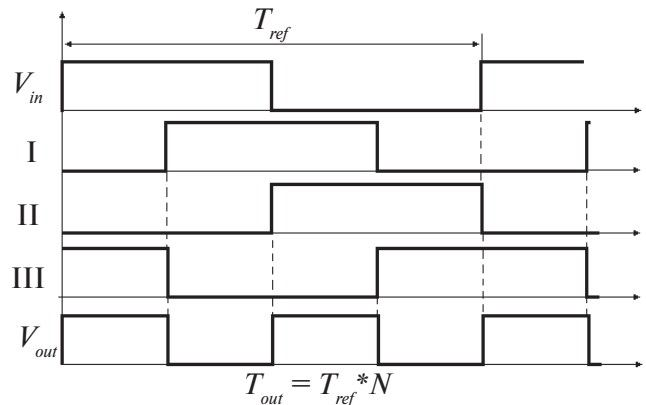


Рисунок 1. Блок-схема синтезатора на основе PLL



а)



б)

Рисунок 2. Блок-схема синтезатора на основе DLL (а) и пример формирования выходного сигнала (б)

автоподстройки фазы (DLL) с N -секционной линией задержки, управляемой напряжением (VCDL). Базовая структура DLL дополнена смесителем (EC), который осуществляет формирование выходного сигнала F_{out} в виде комбинации задержанных линий фаз входного сигнала F_{ref} .

Например, рассмотренный в [3] синтезатор с числом фаз DLL, кратным степени 2, позволяет, как показано на рис. 2б, для каждого последующего периода опорного сигнала устанавливать новую частоту выходного сигнала F_{out} с целым значением коэффициента умножения частоты:

$$F_{out} = F_{ref} M, M = \{1, 2, 4 \dots, N/2\}.$$

Существенным недостатком синтезаторов на основе DLL [4–7] является ограничение на максимальное значение коэффициента умножения частоты, связанное с длиной линии задержки и с разрешающей способностью ее квантования, а также с частотными ограничениями на элементы схемы смесителя. Следствием этого является необходимость использования опорного сигнала более высокой частоты, чем в синтезаторах на основе контура PLL. На практике это приводит к необходимости

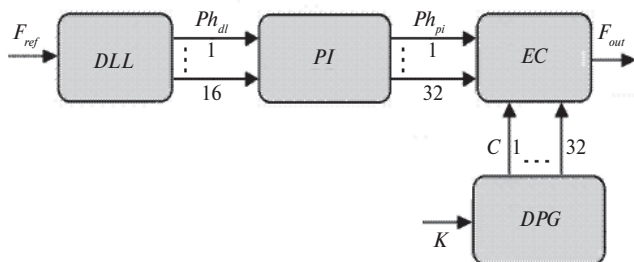


Рисунок 3. Структурная схема синтезатора синхросигнала

установки перед DLL вспомогательной буферной PLL, которая обеспечивает на входе синтезатора проектное значение частоты опорного сигнала.

Реализация синтезатора на основе DLL с дробным коэффициентом умножения

Функциональная блок-схема

Предложенный синтезатор, блок-схема которого приведена на рис. 3, является дальнейшим развитием структуры на основе DLL, позволяя установку дробного значения коэффициента умножения частоты с высокой разрешающей способностью ее квантования:

$$F_{out} = F_{ref} \left(\frac{N}{K} \right).$$

В состав синтезатора входят следующие функциональные узлы:

- опорная DLL;
- фазовый интерполятор (PI);
- формирователь выходного сигнала (EC);
- цифровой алгоритмический генератор (DPG).

Опорная DLL является полнопериодной: задержка линии T_{dll} в состоянии захвата равна одному периоду входного опорного синхросигнала $T_{ref} = 1/F_{ref}$. Линия задержки с числом секций $N_{ph}^{dl} = 16$ совместно со схемами фазовых интерполяторов с количеством интерполяционных интервалов $N_{ph}^{pi} = 2$, которые подключаются между выходами каждой пары смежных секций линии, обеспечивают на входе схемы формирователя выходного сигнала $N_{ph} = N_{ph}^{dl} N_{ph}^{pi} = 32$ равноотстоящие фазы опорного синхросигнала с шагом фаз по времени, равным T_{dll} / N_{ph} .

Алгоритмический генератор в каждом такте опорного сигнала формирует очередной 32-разрядный

управляющий код C , с помощью которого в блоке формирователя выходного сигнала из общего количества фаз выбираются нужные фазы для задания моментов переключения выходного синхросигнала F_{out} .

В формирователе выходного сигнала происходят формирование коротких импульсов (P), их выборка выходным кодом алгоритмического генератора и последующая сборка выбранных импульсов на тактовый вход T выходного делителя частоты на два, который выполняет переключение выходного сигнала F_{out} по каждой последующей выбранной фазе опорного сигнала. В результате на выходе схемы формируется сигнал со скважностью два и частотой $F_{out} = (N_{ph}/K)F_{ref}$, причем с целью обеспечения 50% скважности выходного сигнала коэффициент K должен принимать четные значения.

На рис. 4 в качестве графической иллюстрации приведены временные диаграммы, поясняющие процесс генерации выходного сигнала для упрощенного варианта схемы с $N_{ph} = 8$ при $K = 6$.

Ограничение на минимальное значение коэффициента умножения не является принципиальным, тогда как его максимальное значение ограничивается разрешающей способностью квантования фаз линии задержки DLL и интерполятора, а также частотными параметрами элементов формирователя выходного сигнала.

Изменение частоты выходного сигнала производится путем установки нового значения коэффициента K в произвольный момент времени. Однако для обеспечения непрерывности и целостности сигнала на выходе F_{out} при изменении частоты новая последовательность управляющих кодов C [1:32] фактически начинается с такта опорного сигнала, в начале которого происходит совпадение фаз (биение) сигналов опорной и текущей выходной частот.

Далее подробно рассмотрены особенности структуры и схемотехники узлов, определяющих частотный диапазон работы и точность синтезатора: управляемую линию задержки DLL, фазовый интерполятор и элементы узла формирователя выходного сигнала.

Управляемая линия задержки

Особенностью управляемой линии задержки является то, что в отличие от обычно используемых линий, управляемых аналоговым сигналом, задержка линии управляется цифровым кодом. Это, наряду с использованием схемы фазового детектора с двоичным выходом, позволило реализовать полностью цифровой контур DLL.

На рис. 5 приведена принципиальная схема одного каскада линии. Каскад представляет собой КМОП-инвертор на транзисторах M_p^s и M_n^s , величина рабочего тока через которые задается числом включенных в цепи питания и земли инвертора транзисторов $M_1^{pc}, \dots, M_n^{pc}$ и $M_1^{nc}, \dots, M_n^{nc}$.

Время задержки каскада T_{stage} в основном определяется зарядом емкости нагрузки каскада C и рабочим током включенных транзисторов, задающих ток:

$$T_{stage} \sim A \frac{C}{(I_1 + I_2 + \dots + I_m)}$$

Поскольку рабочий ток каждого транзистора пропорционален ширине его канала W , то задержка каскада обратно пропорциональна суммарной ширине каналов m открытых токозадающих транзисторов:

$$T_{stage} \sim A \frac{C}{W_{eff}} = A \frac{C}{(W_1 + W_2 + \dots + W_m)}$$

Таким образом, варьируя количество включенных токовых транзисторов, можно в широком диапазоне регулировать задержку каждого каскада. При этом, для того чтобы получить возможно меньшее значение минимальной задержки каскада, суммарная величина ширины каналов всех открытых

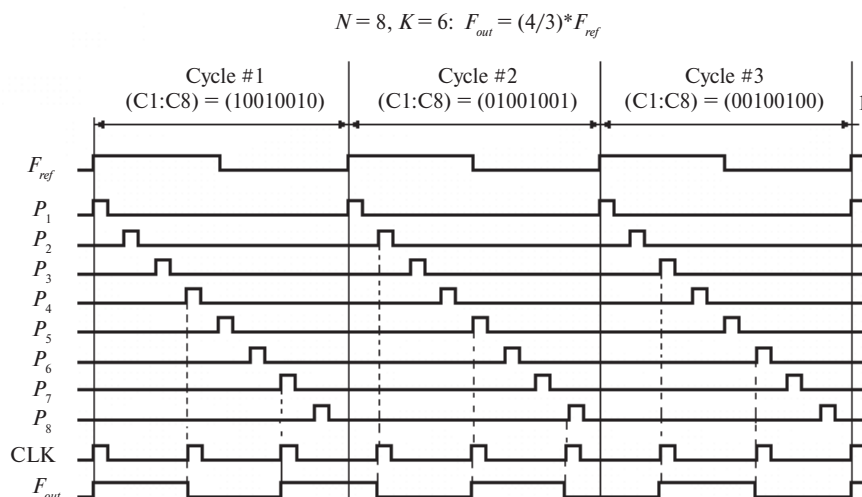


Рисунок 4. Пример временной диаграммы, поясняющий принцип работы синтезатора

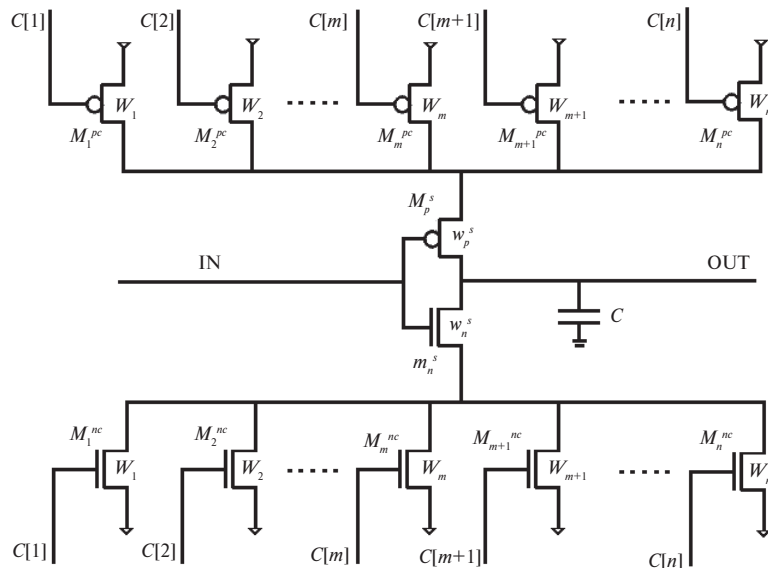


Рисунок 5. Каскад управляемой линии задержки

токозадающих транзисторов должна быть много больше ширины канала соответствующего переключающегося транзистора:

$$W_1 + W_2 + \dots + W_n \geq B_w W_s.$$

На практике это требование с точностью 1–2% выполняется при $B_w = 8-10$.

Ширина канала каждого из токозадающих транзисторов подобрана таким образом, чтобы обеспечить одинаковое изменение задержки каскада при включении каждого следующего транзистора. Это позволяет управлять задержкой каскада в термометрическом коде с помощью n -разрядного регистра сдвига, включенного в цифровой контур регулирования DLL, как это показано на рис. 6. С целью обеспечения стабильности задержек и эквидистантности сигналов выходных фаз линии каждая секция состоит из двух последовательно включенных каскадов с идентичным управлением.

Фазовый интерполятор

Ограничение на минимальную задержку секции управляемой линии задержки принципиально ограничивает количество секций линии и, соответственно, дискретность синтеза выходной частоты. Для увеличения общего числа фаз между выходами смежных секций линии задержки дополнительно установлены фазовые интерполяторы типа «один-в-два», которые позволяют получить одну дополнительную фазу Ph_i^{pi} между двумя соседними входными фазами линии задержки Ph_i^{dl} и Ph_{i+1}^{dl} . На рис. 7 приведена используемая в синтезаторе схема интерполятора данного вида.

Входные инверторы 1–4 выполняют функции развязки выходов секций линии задержки от сильно нагруженных узлов a и b и тем самым минимизируют задержку секции DLL. Инверторы 5–9 выравнивают задержки и фазы сигналов Ph_i^{dl} , Ph_{i+1}^{dl} и Ph_i^{pi} . Собственно интерполяция сигналов

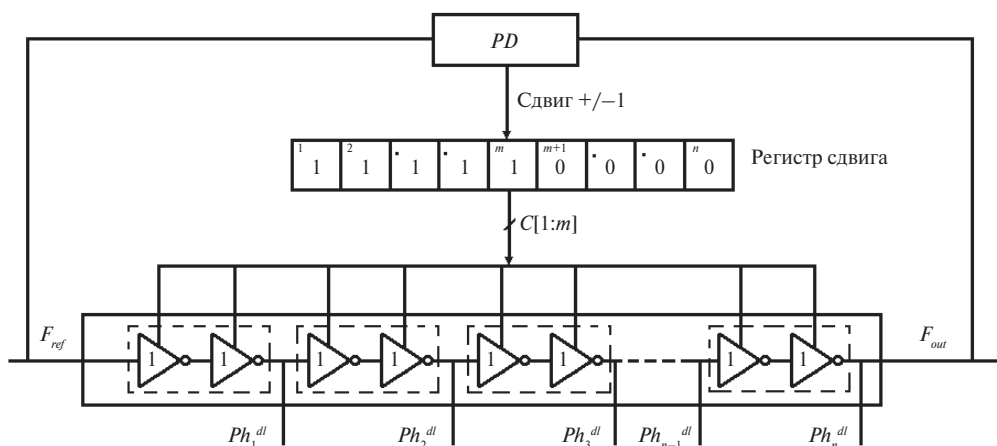


Рисунок 6. Цифровой контур регулирования DLL

Ph_{i+1}^{dl} и Ph_i^{dl} осуществляется в точке объединения выходов двух инверторов – 10 и 11. Ширина каналов транзисторов этих инверторов выбирается таким образом, чтобы выходная фаза Ph_i^{pi} располагалась в середине между выходными фазами Ph_i^{dl} и Ph_{i+1}^{dl} . При этом для каждого типа транзисторов в инверторах 10 и 11 должно соблюдаться условие

$$w_{10} = aw_i, w_{11} = (1-a)w_i,$$

где w_i – ширина канала транзисторов в инверторах 5 и 6; a – масштабирующий коэффициент.

Теоретическая величина коэффициента a находится в диапазоне 0,35–0,45, однако точное значение подбирается экспериментально в процессе моделирования схемы и должно обеспечивать минимальные отклонения положения интерполированного сигнала от среднего значения во всем диапазоне работы схемы. Для стабилизации положения интерполированного сигнала в схеме использован ряд дополнительных мер. В частности, инверторы 5 и 6 выполнены каждый из двух параллельно включенных инверторов, аналогичных интерполяционным инверторам 10 и 11, а в узлы a и b введены дополнительные емкости за счет подключения к ним балластных схемных элементов.

Формирователь выходного сигнала

Структурная схема формирователя выходного сигнала приведена на рис. 8. Она состоит из последовательно включенных формирователей коротких импульсов, селектора импульсов, схемы сборки выбранных импульсов по ИЛИ, выходного делителя частоты на два.

Формирователь коротких импульсов состоит из N_{ph} идентичных схем, состоящих из фазовращателя на инверторе и схемы вырезки на вентиле 2И-НЕ. Передний фронт выходного импульса P_i формируется из рабочего (переднего) фронта сигнала

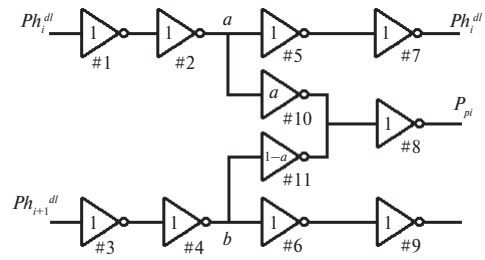


Рисунок 7. Схема фазового интерполятора «один-в-два»

каждой фазы Ph_i , задний фронт – из инвертированного рабочего фронта одной из последующих фаз Ph_{i+j} . Длительность сформированного таким образом импульса должна удовлетворять противоречивым требованиям. С одной стороны, она должна быть достаточно большой для обеспечения надежной работы последующих элементов схемы формирователя. С другой стороны, число импульсов, которое укладывается в период опорного сигнала (с учетом обеспечения минимальной паузы между соседними импульсами равной длительности импульса), ограничивает максимальную величину коэффициента умножения частоты. В рассматриваемом синтезаторе $j=4$, что при общем количестве фаз $N_{ph}=32$ позволяет уложить четыре равноотстоящих импульса на интервале одного периода входного сигнала, тем самым ограничивая коэффициент умножения величиной 2.

С целью стабилизации длительности импульса вентиль 2И-НЕ, как показано на рис. 9, выполнен на шести транзисторах и имеет одинаковую задержку по обоим входам.

Селектор импульсов в каждом такте входного синхросигнала выбирает импульсы фаз согласно управляющему коду алгоритмического генератора.

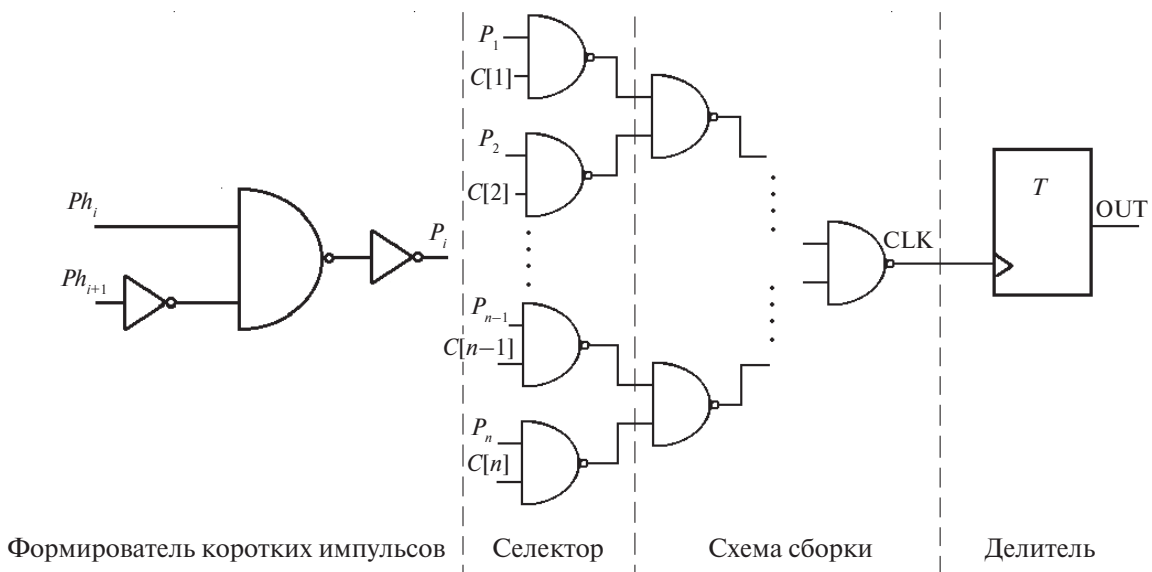


Рисунок 8. Формирователь выходного сигнала

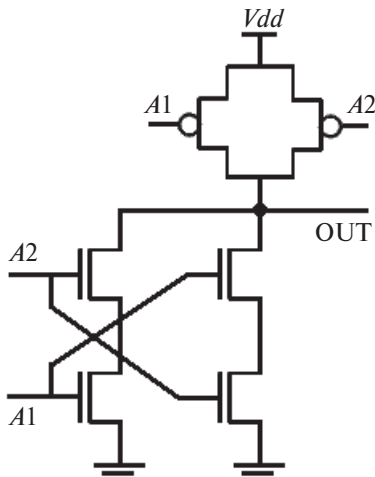


Рисунок 9. Схема симметричного вентиля И-НЕ

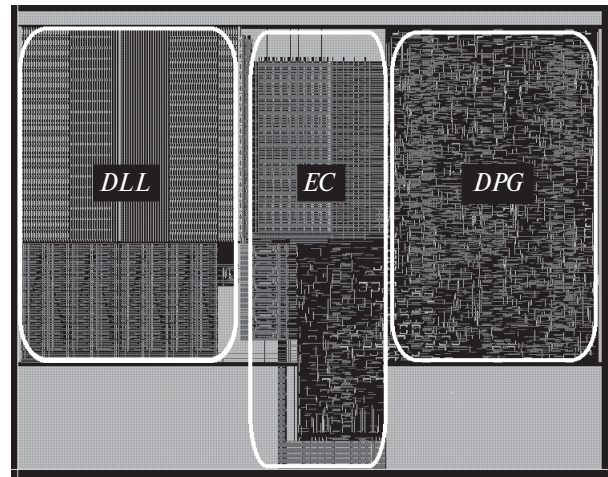


Рисунок 10. Топология синтезатора

Далее выбранные импульсы собираются на тактовом входе триггера – делителя частоты с помощью 32-входовой схемы ИЛИ, которая выполнена на базе аналогичных вентилях 2И-НЕ.

Результаты

На рис. 10 представлена топология синтезатора, реализованного на технологии 28 нм для микропроцессоров семейства «Эльбрус». Разработанный синтезатор обладает следующими функциональными, электрическими и эксплуатационными параметрами:

- диапазон частоты опорного синхросигнала – 0,8–1,4 ГГц;
- скважность опорного синхросигнала – 25–75%;
- количество независимых каналов выходных синхросигналов – 4;
- диапазон частоты в каждом выходном канале $F_{out} = F_{ref}(32/N)$, $N = \{16, 18, \dots, 64\}$;

- номинальная скважность выходных синхросигналов – 50%;
- погрешность периода выходных синхросигналов – ± 10 пс;
- диапазон напряжения питания – $0,9 \text{ В} \pm 10\%$;
- диапазон температуры кристалла – от -40 до 125°C ;
- занимаемая площадь – 127×132 мкм;
- потребляемая мощность (при $F_{ref} = 1$ ГГц) – 17 мВт.

Выводы

Разработанный синтезатор позволяет варьировать рабочую частоту синхронизации в широких пределах без прерывания вычислительного процесса. Это дает возможность реализовать в микропроцессоре функцию адаптивного управления частотой в реальном масштабе времени в зависимости от условий эксплуатации и вычислительной загрузки отдельных устройств.

СПИСОК ЛИТЕРАТУРЫ

1. Chandracasan A., Bowhill W.J., Fox F. Design of high-performance microprocessor circuits. NY: The Institute of Electrical and Electronics Engineers, 2001.
2. Barrett C. Fractional/Integer-N PLL basics. Texas Instruments, Aug. 1999.
3. Стариков М. В. Цифровой генератор тактовых частот с ФАПЧ для применения в составе Сн К. М.: Техносфера, Международный форум «Микроэлектроника-2016», 2016.
4. Chien G., Gray P.R. A 900-MHz Local Oscillator using a DLL-Based Frequency Multiplier Technique for PCS applications. IEEE Journal of solid-state circuits, vol. 35, no. 12, Dec. 2000.
5. Cheng J. A delay-locked loop for multiple clock phases/delays generation. Georgia Institute of Technology, 2005.
6. Garlepp B.W., Donnelly K.S. A portable digital DLL for High-speed CMOS interface circuits. IEEE Journal of solid-state circuits, vol. 34, no. 5, Dec. 1999.
7. Kawamoto T., Ueda K., Noto T. 480 GHz 10-tap clock generator using edge-combiner DLL for USB2.0 applications. Journal of Electrical and computer engineering, 2012.

ИНФОРМАЦИЯ ОБ АВТОРАХ

Мальшин Александр Владимирович, к.т.н., начальник отдела, АО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука», 119334, Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-42-02, e-mail: alexander.v.malshin@mcst.ru.

Есаков Игорь Александрович, инженер 1-й категории, АО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука», 119334, Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-42-02, e-mail: igorl.a.esakov@mcst.ru.

Портнова Любовь Андреевна, инженер, АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-44-61, e-mail: portnova_l@mcst.ru.

For citation: Malshin A.V., Esakov I.A., Portnova L.A. The clock synthesizer on DLL-based fractional frequency multiplier for «Elbrus» series microprocessor. Voprosy radioelektroniki, 2017, no. 3, pp. 83–89.

A.V. Malshin, I.A. Esakov, L.A. Portnova

THE CLOCK SYNTHESIZER ON DLL-BASED FRACTIONAL FREQUENCY MULTIPLIER FOR «ELBRUS» SERIES MICROPROCESSOR

The fractional DLL-based frequency synthesizer, which presented in this paper, allows to change frequency «on fly» without halted the microprocessor. The synthesizer which was developed in accordance with 28 nm technology for «Elbrus» series microprocessors allows to generate up to four operational clock signals with fractional multiplier factor that in range from 1/2 to 2, using high-frequency reference clock.

Keywords: clock synthesizer, PLL, phase interpolator, digital control.

REFERENCES

1. Chandracasan A., Bowhill W.J., Fox F. Design of high-performance microprocessor circuits. New York, The Institute of Electrical and Electronics Engineers, 2001.
2. Barrett C. Fractional/Integer-N PLL basics. Texas Instruments, Aug. 1999.
3. Starilov M.V. *Tsifrovoy generator taktovykh chastot s FAPCH dlya primeneniya v sostave Sn K* [Digital clock generator based on PLL for using in SnC]. Moscow, Tehnosfera Publ., International forum «Microelectronics-2016», 2016 (In Russian).
4. Chien G., Gray P.R. A 900-MHz Local Oscillator using a DLL-Based Frequency Multiplier Technique for PCS applications. *IEEE Journal of solid-state circuits*, vol. 35, no. 12, Dec. 2000.
5. Cheng J. A delay-locked loop for multiple clock phases/delays generation. Georgia Institute of Technology, 2005.
6. Garlepp B.W., Donnely K.S. A portable digital DLL for High-speed CMOS interface circuits. *IEEE Journal of solid-state circuits*, vol. 34, no. 5, Dec. 1999.
7. Kawamoto T., Ueda K., Noto T. 480 GHz 10-tap clock generator using edge-combiner DLL for USB2.0 applications. *Journal of Electrical and computer engineering*, 2012.

AUTHORS

Malshin Aleksandr, PhD, head of department, JSK «MCST», PJSK «Brook INEUM», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-42-02, e-mail: alexander.v.malshin@mcst.ru.

Esakov Igor, engineer 1st category, JSK «MCST», PJSK «Brook INEUM», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-42-02, e-mail: igorl.a.esakov@mcst.ru.

Portnova Lyubov, engineer, JSK «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-44-61, e-mail: portnova_l@mcst.ru.