

А. В. Мальшин^{1,2}, И. К. Ноздрин¹, В. И. Крепак¹

¹ АО «МЦСТ», ² ПАО «ИНЭУМ им. И. С. Брука»

КОРРЕКТОР СКВАЖНОСТИ СИНХРОСИГНАЛА

Предложена КМОП-схема корректора скважности (коэффициента заполнения) синхросигнала, позволяющая в частотном диапазоне 1–2 ГГц из входного синхросигнала с коэффициентом заполнения от 35 до 65% получить сигнал с коэффициентом заполнения 50% с погрешностью, не превышающей $\pm 5\%$. Схема занимает меньшую площадь и обладает меньшим энергопотреблением, чем стандартные решения, используемые в подобных случаях.

Ключевые слова: синхросигнал, скважность, коррекция скважности.

Введение

В современных микропроцессорах высокой производительности для эффективного использования оборудования является обычным требование 50% скважности синхросигналов. Стандартные схемы генерации синхросигналов на кристалле обеспечивают на выходе скважность синхросигнала в пределах $50 \pm 5\%$. Помимо того что допуск на эту величину является достаточно большим, в цепях распределения синхросигнала по кристаллу его скважность может быть подвержена дальнейшей слабо контролируемой деградации. Основной причиной искажений скважности являются асимметрия задержек распространения фронтов нарастания и спада в усилителях синхросигнала, перекрестные наводки, колебания напряжения питания и температуры, а также технологические разбросы параметров элементов интегральной схемы [1, 2].

Также в цифровых системах получили широкое распространение интерфейсы с удвоенной скоростью передачи данных по обоим фронтам синхросигнала. Естественно, что для подобных интерфейсов необходимо поддерживать скважность синхросигнала, равную 50%.

По этим причинам важным составляющим элементом системы синхронизации является схема коррекции скважности синхросигнала [2–5].

Принцип работы

На рис. 1а представлена базовая структура схемы коррекции. Инвертирующий усилительный каскад U_1 обладает идеальной Z-образной передаточной характеристикой. Через резистор R_2 каскад охвачен 100%-ной отрицательной обратной связью, которая обеспечивает стабильную рабочую точку усилителя по постоянному току в середине динамического диапазона. Емкость C_1 развязывает

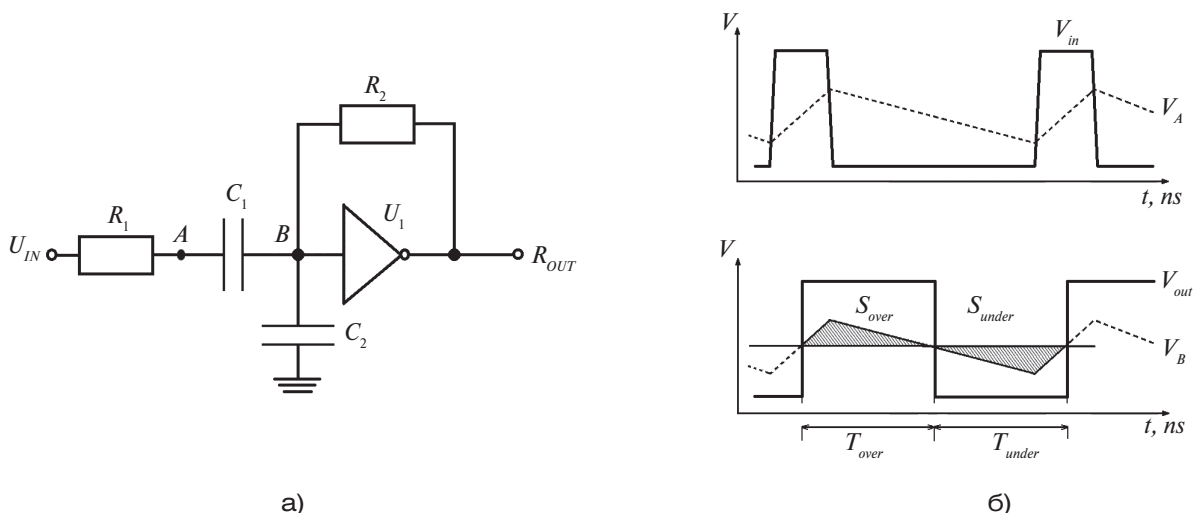


Рисунок 1. Базовая структура схемы коррекции (а) и эпюры сигналов в узлах схемы (б)

по постоянному току вход усилителя B от источника входного сигнала A .

Резистор R_1 и емкостной делитель C_1-C_2 образуют входной фильтр низких частот (ФНЧ), посредством которого из входного сигнала V_{in} в точке B формируется пилообразный сигнал с линейным нарастанием и спадом (рис. 1б). Далее, через емкостной делитель C_1-C_2 сигнал поступает на вход усилителя B и симметрируется относительно его рабочей точки, обеспечивая равенство площадей пилообразного сигнала выше и ниже уровня рабочей точки:

$$S_{over} = S_{under} \quad (1)$$

Для идеального пилообразного сигнала с линейными фронтами нарастания и спада выполнение условия (1) автоматически означает равенство временных интервалов T_{over} и T_{under} по уровню рабочей точки усилителя, причем

$$T_{over} = T_{under} = T_c / 2. \quad (2)$$

В свою очередь, на выходе усилителя, обладающего идеальной Z -образной передаточной характеристикой, соотношение (2) будет сохраняться, тем самым обеспечивая требуемую скважность выходного сигнала V_{out} , равную 50%.

Паразитное прохождение выходного импульсного сигнала с выхода усилителя на его вход подавляется ФНЧ $R_1-C_1-C_2$ в петле отрицательной обратной связи усилителя. При этом для надежного ослабления амплитуды этого сигнала относительно входного пилообразного напряжения необходимо выполнение условия $R_2 \gg R_1$.

Нижняя рабочая частота схемы определяется условием сохранения линейности пилообразного напряжения входным ФНЧ $R_1-C_1-C_2$:

$$F > \frac{1}{R_1 C_{12}} = \frac{C_1 + C_2}{R_1 C_1 C_2}.$$

Верхняя рабочая частота ограничена неидеальностью реального усилителя, в частности, конечной величиной коэффициента усиления K_U . При этом амплитуды переменного сигнала на входе усилителя должно быть достаточно для перекрытия его динамического диапазона:

$$K_U = \sqrt{4 + 4\pi^2 f^2 C_{12}^2 R^2}.$$

При практическом применении корректора важным параметром схемы также является время установления, а условием нормального функционирования блока – зарядка всех емкостей до их рабочих напряжений. В силу условия $R_2 \gg R_1$ время установления выходного сигнала определяется резистором R_2 . Тогда, согласно [6], время установления скважности выходного сигнала с точностью менее 1% составляет

$$t \approx 5R_2(C_1 + C_2).$$

На рис. 2 в качестве иллюстрации приведена типичная временная диаграмма установления сигналов в характерных точках базовой схемы (рис. 1а), полученная в результате моделирования симулятором SPICE.

Физическая реализация

Поскольку предложенный принцип коррекции должен позволять реализацию в рамках цифровой КМОП-схемотехники и технологии, в качестве усилителя U_1 используется КМОП-инвертор, который обладает передаточной характеристикой, близкой к Z -образной, и достаточно высоким коэффициентом

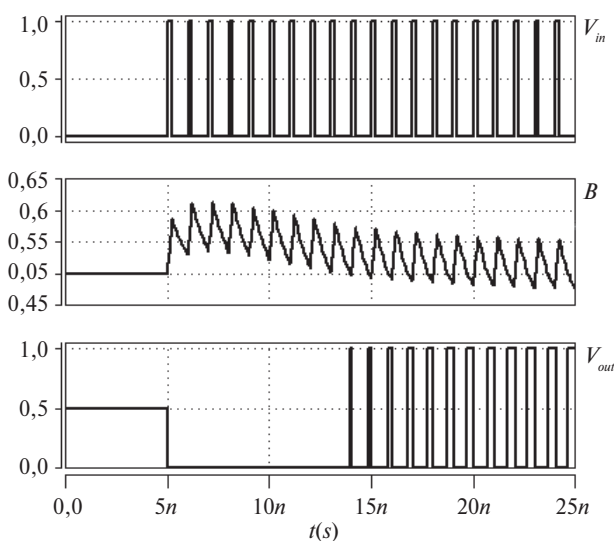


Рисунок 2. Временная диаграмма установления сигналов базовой схемы корректора

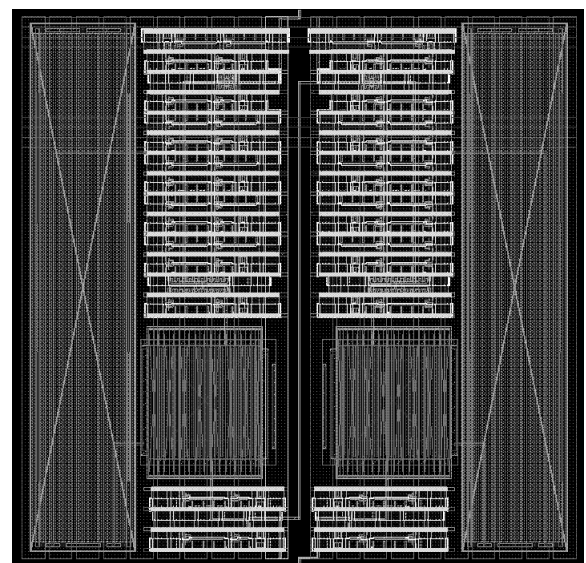


Рисунок 3. Топология двухкаскадного корректора

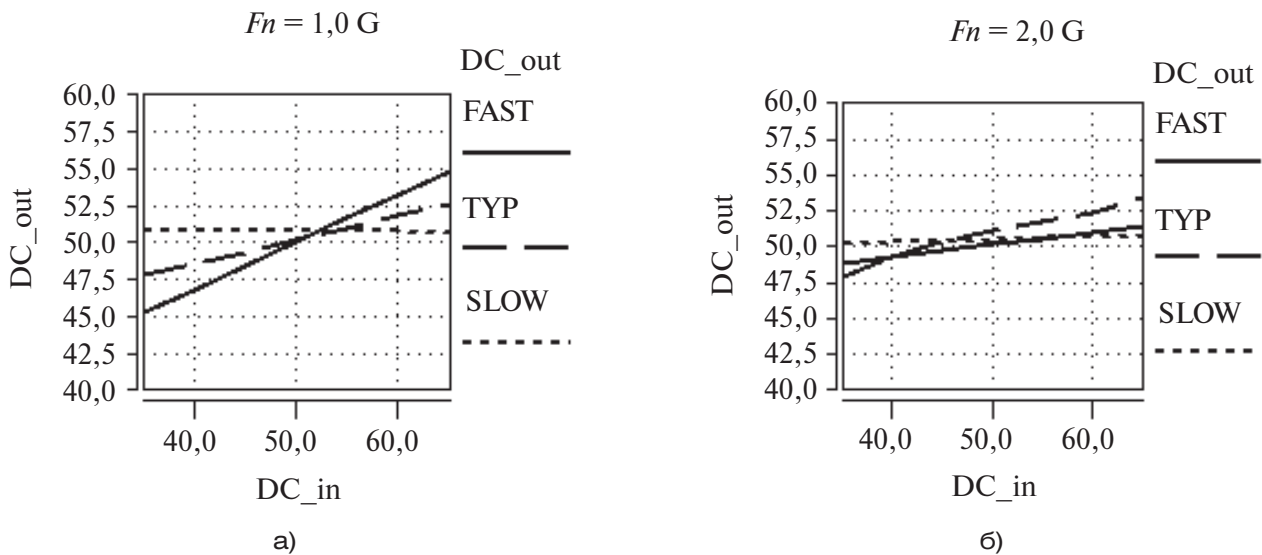


Рисунок 4. Зависимости скважности выходного сигнала от скважности входного сигнала для частот синхросигнала 1,0 ГГц (а) и 2,0 ГГц (б)

усиления (8–10) в зоне переключения. В дополнение к базовой структуре (рис. 1а) электрическая схема каскада включает буферные инверторы на входе и выходе, причем входной инвертор одновременно выполняет функции сопротивления R_1 .

Для достижения высокой стабильности характеристик схемы пассивные компоненты реализованы на структурах с хорошо предсказуемыми параметрами: конденсаторы – на структурах «металл–диэлектрик–металл», резисторы – на высокоомном поликремнии.

Буферные инверторы на входе и выходе обеспечивают возможность прямого каскадирования базовых схем, уменьшающего полную погрешность коррекции.

На рис. 3 представлена топология двухкаскадной схемы корректора, реализованная по технологическим нормам 28 нм.

Результаты

На рис. 4 приведены полученные в результате моделирования на симуляторе SPICE графики зависимостей скважности выходного сигнала (DC_{out}) от скважности входного сигнала (DC_{in}) двухкаскадной схемы корректора для частот

синхросигнала 1,0 ГГц (а) и 2,0 ГГц (б) в условиях наихудших (FAST, SLOW) и номинальной (TYP) комбинаций параметров в полном диапазоне технологического процесса, напряжение питания $U_{DD} = 0,9 \text{ В} \pm 10\%$, температура от -40°C до $+125^\circ\text{C}$.

В указанном частотном диапазоне достигается погрешность коррекции скважности не более $\pm 2,5\%$ в диапазоне скважности входного сигнала 35–65% в номинальных условиях и не более $\pm 5\%$ – в наихудших условиях. В случае если скважность входного сигнала находится в характерных для типичных схем синтезаторов синхросигнала границах ($50 \pm 5\%$), погрешность коррекции скважности в наихудших условиях не превышает $\pm 2\%$.

Заключение

Разработанная схема коррекции скважности обладает небольшими геометрическими размерами ($24,5 \times 24,0 \text{ мкм}$) и малой потребляемой мощностью ($\sim 0,5 \text{ мВт}$ на частоте 1 ГГц), обеспечивает более чем трехкратную коррекцию 50%-ной скважности сигналов синхронизации в широком частотном диапазоне при искажениях скважности, характерных для систем генерации и распределения синхросигналов по кристаллу.

СПИСОК ЛИТЕРАТУРЫ

1. Johnson H., Graham M. High-speed digital design. A handbook of black magic Moscow, Williams, 2006.
2. Xanthopoulos T. Clocking in Modern VLSI Systems Springer, 2009.
3. Hong-Yi H., Chia-Ming L., Wei-Ming C. 1–99% Input Duty 50% Output Duty Cycle Corrector IEEE International Symposium on Circuits and Systems, 2006.
4. Byung-Guk Kim, Kwang-II Oh, Lee-Sup Kim, Dae-Woo Lee. A 500MHz DLL with second order duty cycle corrector for low jitter. Custom Integrated Circuits Conference, 2005.
5. Dally W.J., Poulton J.W. Digital System Engineering Cambridge University Press, 1998.
6. Korries R., Schmidt-Walter H. Electrical engineering. A pocket reference, Moscow, Tehnosphaera, 2008.

ИНФОРМАЦИЯ ОБ АВТОРАХ

Мальшин Александр Владимирович, к.т.н., начальник отдела, АО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука», 119334, Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-89-69, e-mail: alexander.v.malshin@mcst.ru.

Ноздрин Илья Константинович, старший инженер, АО «МЦСТ», 119334, г. Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-45-02, e-mail: ilya.k.nozdrin@mcst.ru.

Крепак Виталий Игоревич, инженер, АО «МЦСТ», 119334, г. Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-89-69, e-mail: vitaly.i.krepak@mcst.ru.

For citation: Malshin A. V., Nozdrin I. K., Krepak V. I. The clock duty cycle corrector. Voprosy radioelektroniki, 2017, no. 3, pp. 90–93.

A. V. Malshin, I. K. Nozdrin, V. I. Krepak

THE CLOCK DUTY CYCLE CORRECTOR

The proposed clock duty cycle corrector has been realized in CMOS technology. The corrector allows to generate 50% duty cycle output signal from input signal with duty cycle 35–65% with error less than 5% in frequency range from 1–2 GHz. The core area and power consumption of the device are less than in standards circuits using in such cases.

Keywords: clock, duty cycle, duty cycle correction.

REFERENCES

1. Johnson H., Graham M. High-speed digital design. A handbook of black magic Moscow, Williams Publ., 2006.
2. Xanthopoulos T. Clocking in Modern VLSI Systems Springer, 2009.
3. Hong-Yi H., Chia-Ming L., Wei-Ming C. 1–99% Input Duty 50% Output Duty Cycle Corrector IEEE International Symposium on Circuits and Systems, 2006.
4. Byung-Guk Kim, Kwang-Il Oh, Lee-Sup Kim, Dae-Woo Lee. A 500MHz DLL with second order duty cycle corrector for low jitter. Custom Integrated Circuits Conference, 2005.
5. Dally W. J., Poulton J. W. Digital System Engineering Cambridge University Press, 1998.
6. Korries R., Schmidt-Walter H. Electrical engineering. A pocket reference, Moscow, Tehnosphera Publ., 2008.

AUTHORS

Malshin Aleksandr, PhD, head of department, JSK «MCST», PJSK «Brook INEUM», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-42-02, e-mail: alexander.v.malshin@mcst.ru.

Nozdrin Ilya, senior engineer, JSK «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-44-61, e-mail: ilya.k.nozdrin@mcst.ru.

Krepak Vitaliy, engineer, JSK «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-44-61, e-mail: vitaly.i.krepak@mcst.ru.