

Для цитирования: Стотланд И. А., Шпагилев Д. И., Петроченков М. В. Особенности функциональной верификации контроллеров высокоскоростных каналов обмена микропроцессорных систем семейства «Эльбрус» // Вопросы радиоэлектроники. 2017. № 3. С. 69–75.
УДК 004.052.4

И. А. Стотланд¹, Д. И. Шпагилев¹, М. В. Петроченков¹

¹ АО «МЦСТ»

ОСОБЕННОСТИ ФУНКЦИОНАЛЬНОЙ ВЕРИФИКАЦИИ КОНТРОЛЛЕРОВ ВЫСОКОСКОРОСТНЫХ КАНАЛОВ ОБМЕНА МИКРОПРОЦЕССОРНЫХ СИСТЕМ СЕМЕЙСТВА «ЭЛЬБРУС»

Рассмотрены основные особенности контроллеров высокоскоростных каналов обмена, их трехуровневая функциональная структура. Предложены методы автономной функциональной верификации, позволяющие проводить комплексную проверку без разработки дополнительных тестовых систем и эталонных моделей, и архитектура тестовой системы, основанная на методологии UVM. Описаны способы проверки корректности передачи пакетов канального уровня и выходных сигналов физического уровня. Приведен опыт применения этих решений при верификации контроллеров микропроцессоров с архитектурой «Эльбрус».

Ключевые слова: контроллер высокоскоростного канала обмена, автономная верификация, тестовая система, многоядерный микропроцессор, микропроцессор Эльбрус, UVM.

Введение

Производительность современных многопроцессорных вычислительных систем в существенной степени определяется достижимыми показателями межпроцессорного обмена и обмена с подсистемой ввода-вывода [1]. В составе вычислительных средств семейства «Эльбрус» эти функции обеспечиваются с использованием контроллеров двух типов [2]:

1. Контроллер дуплексных каналов межпроцессорного обмена с пропускной способностью до 8 ГБ/с в каждую сторону.
2. Контроллер дуплексного канала ввода-вывода с пропускной способностью до 8 ГБ/с в каждую сторону; его важной особенностью является совместимость с разработанной в АО «МЦСТ» микросхемой контроллера периферийных интерфейсов (КПИ), которая выполняет функции южного моста.

От корректности реализации контроллера первого типа напрямую зависит функционирование микропроцессорной системы: например, ошибка типа «взаимная блокировка» (deadlock) в контроллере может привести к останову системы, а искажение или потеря пакета данных – к неверному выполнению вычислительной операции. Поэтому

необходима тщательная и всесторонняя проверка контроллеров.

Контроллеры могут быть проверены косвенно при системной функциональной верификации, когда модель системы в целом исполняет тестовую программу на языке ассемблера. Недостатками такого решения являются [3]:

- большое время моделирования контроллеров на физическом уровне каналов обмена, что препятствует их включению в общую верифицируемую RTL-модель (Design Under Test, DUT) микропроцессорной системы;
- сложность создания нагрузочных тестов с высокой динамикой работы каналов;
- необходимость ожидания готовности всех компонентов системы для начала верификации;
- необходимость значительных временных и вычислительных ресурсов для моделирования.

В связи с этим наряду с системной верификацией целесообразно применять метод автономной верификации, в котором объектом проверки является RTL-модель контроллера. Для ее автономной верификации необходима разработка тестовой системы, моделирующей окружение контроллера. На сегодняшний день наиболее распространена универсальная методология

верификации (Universal Verification Methodology, UVM) [4].

В данной статье описывается использование расширенных методов UVM в применении к автономной верификации контроллеров высокоскоростных каналов межпроцессорного обмена на всех уровнях реализации.

Контроллеры высокоскоростных каналов обмена и их функциональная верификация

Несмотря на то, что заданная функциональность различных контроллеров каналов обмена даже внутри одной микропроцессорной системы может значительно отличаться, можно выделить общие архитектурные и функциональные свойства всех контроллеров, что может быть учтено при разработке методов их верификации. Базовым стандартом, на котором в ряде случаев строятся контроллеры высокоскоростных каналов обмена, является PCI Express [5]. Контроллеры каналов обмена, входящие в состав микропроцессорных систем семейства «Эльбрус», имеют собственные протоколы функционирования, также основанные на этом стандарте. Функциональная структура контроллеров включает физический, канальный (звено данных) и транспортный уровни. Для обеспечения дуплексного режима каждый контроллер разделяется на сектор передачи и сектор приема.

Физический уровень реализуется в составе блоков, выполняющих электрические (Electrical Physical Layer, EPL) и логические (Logical Physical Layer, LPL) функции контроллера. Блок EPL преобразовывает принимаемый поток битов в поток символов, который направляется в приемный канал блока LPL. Блок EPL осуществляет также инициализацию LPL, формирует синхросигналы, обнаруживает удаленного абонента. Блок EPL достаточно сложен, вследствие чего практикуется использование в этом качестве готовых IP-блоков, которые уже прошли верификацию и могут быть сразу включены в состав контроллера. На канальном уровне обеспечиваются надежность и эффективность передачи пакетов данных путем управления потоком, обнаружения и исправления ошибок (опционально). Среди функций, выполняемых транспортным уровнем, можно отметить контроль потока транзакций в части их целостности и очередности.

В контроллерах, разработанных в АО «МЦСТ», функции канального уровня реализуются вместе с частью функций транспортного уровня внутри единого блока канального уровня (Data Link Layer, DLL) [6].

При верификации контроллеров каналов обмена необходимо учитывать их иерархическую архитектуру и тот факт, что блоки разных уровней могут проектироваться автономно разными группами

разработчиков и в разное время. Список основных функций, которые необходимо проверять при автономной верификации контроллеров, выглядит следующим образом:

1. Транспортный уровень:
 - целостность и корректность передаваемых транзакций;
 - очередность выдачи транзакций;
 - соответствие содержимого транзакций формату, описанному в спецификации.
2. Канальный уровень:
 - целостность и корректность передаваемых пакетов данных;
 - отсутствие взаимных блокировок и зависаний;
 - правильная работа кредитных механизмов и механизмов управления потоком.
3. Физический уровень:
 - корректность выходных сигналов: отсутствие сигналов в высокоимпедансном и неизвестном состоянии (Z-value, X-value);
 - восстановление после обрыва линий связи, процедур инициализации и конфигурации;
 - верная обработка ошибок на линиях связи;
 - отсутствие взаимных блокировок.

Кроме того, обязательной проверке подлежат объекты и процедуры межуровневого взаимодействия.

Подходы к автономной верификации контроллеров обмена

Для успеха автономной верификации устройств необходимо обеспечить генерацию тестовых воздействий, проверку корректности поведения устройства и оценку качества тестирования. Эти задачи решает тестовая система – программа, моделирующая входные воздействия на устройство, анализирующая корректность реакций и оценивающая необходимость дальнейшей верификации. Под корректным поведением устройства понимается соответствующая его спецификации реакция на тестовые воздействия, через которую можно описывать устройство на каждом функциональном уровне [3]. Соответственно, одним из подходов к проверке контроллеров обмена является автономная верификация устройств каждого уровня. При этом требуется разработка нескольких тестовых систем, в каждой из которых для проверки определенного уровня необходимо дублировать функциональности других уровней. В таком случае обнаруживаются ошибки устройств внутри уровня и нет возможности проверки межуровневых соединений, в которых зачастую также допускаются ошибки. В работе предложен подход, позволяющий проверять контроллеры каналов обмена комплексно

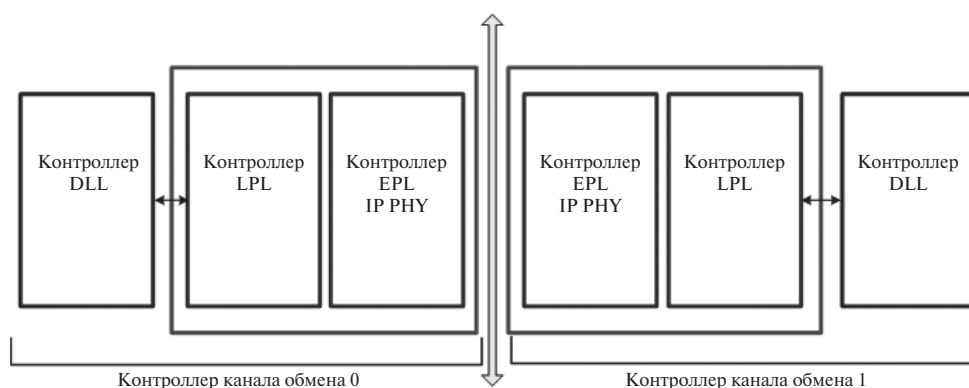


Рисунок 1. Структура верифицируемой модели DUT

путем разработки одной тестовой системы и одной верифицируемой RTL-модели (DUT).

Контроллеры высокоскоростных каналов обмена, входящие в состав микропроцессорных систем семейства «Эльбрус», включают в себя блоки DLL и аппаратуру физического уровня, состоящую из блоков LPL собственной разработки и покупных блоков (IP-блоков) EPL. Интерфейсы и протокол работы на физическом уровне довольно сложны, и их верификация требует больших затрат на разработку и поддержку тестовой системы. В связи с этим было предложено использовать в качестве модели два верифицируемых контроллера обмена, соединенных между собой через интерфейсы физического уровня (рис. 1). В таком случае входные воздействия передаются на каналный уровень контроллера 0, а реакции на них анализируются на каналном уровне контроллера 1, причем данные каналного уровня проходят маршрут от входного DLL через блоки LPL и EPL двух одинаковых контроллеров каналов обмена. Это позволяет проверить и целостность, и очередность выдачи передаваемых пакетов данных.

Для ускорения локализации ошибок и возможности дополнительных проверок предлагается также использовать мониторы интерфейсов физического уровня, поставляемых вместе с IP-блоками EPL (Verification IP, VIP). Это позволяет, с одной стороны, проверять RTL-модель контроллера комплексно, включая блоки физического уровня, с другой – не реализовывать сложные компоненты тестовой системы для контроля интерфейса физического уровня.

Генерация воздействий на устройство в тестовой системе выполняется в форме транзакций транспортного уровня. Это позволяет разрабатывать высокоуровневые тесты, не привязываясь к изменяющемуся в процессе разработки интерфейсу уровня сигналов. Для передачи транзакций на интерфейсы RTL-модели необходимо преобразование

последовательности входных интерфейсных сигналов с потактовой точностью. Такое преобразование будем называть сериализацией. В свою очередь, компонент генератора воздействий, выполняющий эту функцию, называется сериализатором [7]. В тестовых системах, реализованных по методологии UVM, сериализаторами являются компоненты `uvm_driver` агентов интерфейсов.

Для контроля потока на каналном уровне контроллеры реализуют функции управления потоком пакетов данных, основанные на кредитной системе учета ресурсов, поэтому в тестовой системе, имитирующей окружение контроллера, также необходима поддержка такого механизма, которую выполняет менеджер кредитов. Он входит в состав генератора воздействий, своими выходными интерфейсами подключен к входным интерфейсам сигналов освобождения ресурсов и имеет обратную связь с контроллером для учета входных и выходных пакетов. Реализовав по методологии UVM в виде класса-расширения `uvm_object`, его можно использовать во всех тестовых сценариях. Кроме того, интерфейс менеджера кредитов с контроллером является типовым (сигналы освобождения ресурсов запросов и данных), поэтому один менеджер кредитов может быть повторно использован для верификации разных контроллеров каналов обмена.

В состав генератора воздействий тестовой системы также входит модуль, управляющий конфигурацией блока физического уровня. Он подключается к интерфейсным сигналам настройки регистров физического уровня RTL-модели контроллера и позволяет создавать тестовые сценарии с различными конфигурационными настройками регистров, дающими возможность проверить как EPL, так и LPL.

Для проверки свойств контроллера в составе тестовой системы включают модуль проверки (`checker`). При использовании методологии UVM он реализуется в виде класса-расширения

uvm_scoreboard. Проверка целостности и корректности данных также проводится на уровне пакетов. Для этого к выходным интерфейсным сигналам RTL-модели подключаются десериализаторы пакетов, выполняющие преобразование реакций, представленных в битовом формате и получаемых от RTL-модели, в реакции в формате пакетов. При проверке корректности передачи данных может быть использована эталонная модель устройства, реализованная на том же или более высоком уровне абстракции, что и проверяемая модель, и повторяющая поведение устройства. В таком случае необходима разработка как самой модели, так и адаптера для ее подключения к тестовой системе [8]. При этом контроллеры каналов обмена осуществляют передачу и переформатирование пакетов и не реализуют, как правило, сложные внутренние преобразования и конвейеры. В связи с этим в модуле проверки целесообразнее использовать встроенные функции проверки и эталонные памяти, не применяя сторонние эталонные модели. Для этого в модуле проверки полученные от десериализаторов входные воздействия сохраняются в очереди входных пакетов. Выходной пакет, полученный от десериализаторов реакций, проверяется с помощью функций анализа корректности и очередности. Если в спецификации определено, что пакеты могут быть выданы не с той очередностью, как они поступили на вход контроллера, то в функции анализа очередности полученный пакет сравнивается со всеми сохраненными пакетами входной очереди. В противном случае анализируется только нулевой элемент входной очереди. Применение такого алгоритма позволяет проверять очередность выдачи пакетов для интерфейсов, где это строго определено, и не выдавать неверные сообщения об ошибках, когда «обгоны» допустимы (например, «обгоны» ответом запроса от другого источника).

Для проверки целостности пакетов и отсутствия взаимных блокировок необходимо помимо проверки реакций, выдаваемых верифицируемым устройством, также проверять, что все входные пакеты выданы на выходных интерфейсах. Для этого при сличении выходного пакета с входным соответствующий пакет удаляется из входной очереди. По окончании тестового сценария в модуле проверки анализируются буферы входных пакетов: ненулевой размер какого-либо буфера сигнализирует об ошибке – не все пакеты были выданы контроллером.

На рис. 2 приведена архитектура тестовой системы, реализующей описанные выше подходы. Базовой методологией для разработки таких тестовых систем является методология UVM. В состав тестовой системы входят:

- генератор воздействий, называемый виртуальным секвенсером, представляющий собой класс-расширение `uvm_virtual_sequencer` UVM, в состав которого входят генератор пакетов, конфигуратор физического уровня, менеджер кредитов, а также ведущие агенты, состоящие из драйверов, мониторов и генераторов UVM-транзакций (секвенсеров): `sys_agent` – агент системного интерфейса; `phy_reg_agent` – агент конфигурации регистров физического уровня; `fc_agent` – агент интерфейса контроля потока;
- модуль проверки (`uvm_scoreboard`), включающий мониторы – десериализаторы реакций, модуль проверки очередности и сборщик покрытия.

Генерацией воздействий на транспортном уровне занимается виртуальный секвенсер – модуль, генерирующий поток транзакций данных и кредитов для контроля потока и конфигурирующий регистры физического уровня. Для проверки блока LPL на физическом уровне эффективно использовать функциональные утверждения System Verilog (блок утверждений), позволяющие «налету» проверять целостность и корректность данных, а также временные характеристики работы контроллера.

Опыт практического применения

Описанные методы были применены при автономной верификации контроллеров каналов высокоскоростного обмена двух восьмиядерных микропроцессоров с архитектурой «Эльбрус»: контроллера высокоскоростного канала обмена с контроллером КПИ первого поколения (IO Communication Controller, IOCC), контроллера широкого высокоскоростного канала обмена с КПИ второго поколения (Wide IO Link Communication Controller, WLCC), контроллера высокоскоростного межпроцессорного обмена (Inter-Processor Communication Controller 2, IPCC2), а также контроллера, выполняющего функции моста между устройствами с разными интерфейсами ввода-вывода двух поколений (IO Link to WLink Bridge, IWB).

Для каждого контроллера была разработана сборка DUT, включающая блок DLL, блоки LPL собственной разработки и блоки EPL, являющиеся IP-блоками. Были построены тестовые системы по методологии UVM, включающие генераторы воздействий и модули проверки. Модули проверки в каждом случае основаны на реализации алгоритмов сличения входных и выходных пакетов и алгоритма проверки очередности передачи пакетов, описанных выше. Спецификациями контроллеров IOCC, WLCC, IPCC2 допустимы нарушения очередности обработки пакетов от разных запросчиков, поэтому все виды пакетов были разделены

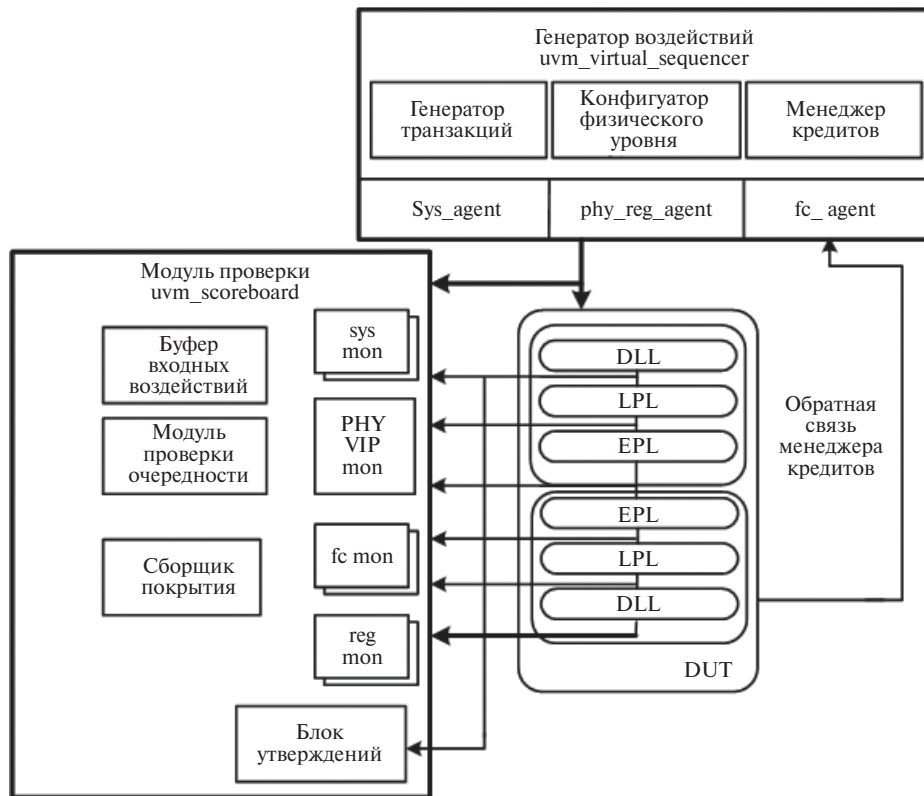


Рисунок 2. Архитектура тестовой системы

на два класса: с допустимыми и недопустимыми «обгонами». Функция проверки очередности сначала анализирует выходной пакет и входную очередь на принадлежность пакета к определенному классу, а затем, в случае недопустимости обгонов для такого пакета, проводит сравнение только с нулевым элементом входной очереди. Для проверки корректности выходных сигналов были применены функциональные утверждения (assertions).

Разработанные генераторы воздействий для контроллеров IOCC и WLCC были успешно повторно использованы при верификации контроллера IWB. Кроме того, были частично переиспользованы и функции модулей проверки. Это позволяет говорить о хороших возможностях повторного использования компонентов тестовой системы, разработанных в соответствии с описанными выше подходами.

Применение такой автономной комплексной верификации контроллеров высокоскоростных каналов обмена позволяет существенно сократить временные и вычислительные ресурсы при поиске ошибок и отладке RTL-моделей контроллеров. Так, примерное время моделирования системного теста для многопроцессорной системы, в состав которой входит контроллер IPCC2, составляет 4–6 часов, тогда как время моделирования автономного теста, позволяющего обнаружить ошибки в IPCC2

и отладить контроллер еще до включения его в состав многопроцессорной системы, составляет 1–2 часа. Для верификации контроллеров обмена с КПИ необходимо моделирование не только RTL-модели процессора, но и RTL-модели КПИ или эмулятора КПИ. Время моделирования такого теста составляет не менее 6 часов, а время автономного моделирования теста IOCC и WLCC, включая требующие наибольших вычислительных ресурсов контроллеры EPL, также составляет 1–2 часа. Таким образом, применение автономных методов позволяет значительно быстрее проводить моделирование и отлаживать контроллеры каналов обмена.

Заключение

Предложенные в работе методы позволяют проводить автономную верификацию контроллеров высокоскоростных каналов обмена всех типов. Построение комплексной RTL-модели верифицируемого устройства, включающего два контроллера, соединенные между собой посредством интерфейсов физического уровня, дает возможность не разрабатывать несколько тестовых систем и эталонных моделей для каждого уровня реализации, с одной стороны, и проверять контроллеры, включая блоки физического уровня, комплексно, – с другой. Построение тестовых систем, базирующихся на методологии UVM, позволяет добиться гибкости

тестовой системы: возможности задавать как псевдослучайные, так и направленные тестовые воздействия, переиспользовать компоненты тестовых систем, автоматически проверять корректность выходных сигналов.

Описанные подходы были применены при верификации нескольких контроллеров высокоско-

ростных каналов обмена восьмиядерных микропроцессоров «Эльбрус-8С» и «Эльбрус-8С2», разрабатываемых в АО «МЦСТ». Разработанные тестовые системы и тесты позволили обнаружить и исправить ряд логических ошибок в устройствах, которые не были обнаружены с помощью других методов верификации.

СПИСОК ЛИТЕРАТУРЫ

1. Белянин И. В., Петраков П. Ю., Фельдман В. М. Функциональная организация и аппаратура сетевого взаимодействия модулей в вычислительном кластере на базе микропроцессоров с архитектурой «Эльбрус» // Вопросы радиоэлектроники. 2015. № 3. С. 7–21.
2. Кожин А. С., Недбайло Ю. А. Оптимизация общего кэша третьего уровня микропроцессора «Эльбрус-8С» // Вопросы радиоэлектроники. 2015. № 3. С. 21–31.
3. Stotland I., Meshkov A., Kutsevol V. Standalone Functional Verification of Multicore Microprocessor Memory Subsystem Based on Application of Memory Subsystem Models. Proc. of 2015 IEEE East-West Design and Test Symposium, EWDTS2015, pp. 326–330.
4. Standard Universal Verification Methodology [Электронный ресурс]. URL: <http://accelera.org/downloads/standards/uvvm> (дата обращения: 30.10.2016)
5. PCI Express Base Specification Revision 3.0 [Электронный ресурс]. URL: <http://pcisig.com> (дата обращения: 30.10.2016)
6. Эльбрус 8С – первый отечественный восьмиядерный микропроцессор, изготовленный по технологии 28 нм / А. С. Кожин, Д. М. Альфонсо, Р. Е. Кольчев и др. // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 2. С. 136–143.
7. Шмелев В. А., Стотланд И. А. Автономная верификация микропроцессоров на основе эталонных моделей разного уровня абстракции // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2012. № 1. С. 435–440.
8. Камкин А. С., Петроченков М. В. Метод построения тестового оракула для подсистемы памяти микропроцессора на основе недетерминированной функциональной модели // Вопросы радиоэлектроники. 2015. № 3. С. 84–95.

ИНФОРМАЦИЯ ОБ АВТОРАХ

Стотланд Ирина Аркадьевна, к.т.н., начальник сектора, АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-44-61, e-mail: stotl_i@mcst.ru.

Шпагилев Данил Игоревич, инженер 1-й категории, АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-50-49, e-mail: shpagilev_d@mcst.ru.

Петроченков Михаил Владимирович, старший инженер, АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-44-61, e-mail: petroch_m@mcst.ru.

For citation: Stotland I.A., Shpagilev D.I., Petrochenkov M.V. Features of high speed communication controllers standalone verification of «Elbrus» microprocessor systems. Voprosy radioelektroniki, 2017, no. 3, pp. 69–75.

I.A. Stotland, D.I. Shpagilev, M.V. Petrochenkov

FEATURES OF HIGH SPEED COMMUNICATION CONTROLLERS STANDALONE VERIFICATION OF «ELBRUS» MICROPROCESSOR SYSTEMS

Main features and functions of high speed communication controllers are described. We proposed the standalone verification approach which lies in developing one test system and design under test consisting of controllers of each layer without addition test systems and reference models. The architecture of the UVM-based test system and functions of its components are proposed. Some novel techniques for checking correctness of communication controller implementation at physical and channel layers are proposed and used. The experience of the application of the methods for Elbrus 8-core microprocessor's high speed communication controller verification is considered.

Keywords: high speed communication controller, standalone hardware verification, test system, multi-core microprocessor, Elbrus microprocessor, UVM.

REFERENCES

1. Belyanin I.V., Petrakov P. Yu., Feldman V.M. Functional organization and hardware means of network interconnection of modules in computer cluster on «Elbrus» microprocessors. *Voprosy radioelektroniki*, 2015, no. 3, pp. 7–20 (In Russian).
2. Kozhin A.S., Nedbailo Yu.A. Optimizing the inclusive shared L3 cache in «Elbrus-8C» microprocessor. *Voprosy radioelektroniki*, 2015, no. 3, pp. 21–31 (In Russian).

3. Stotland I., Meshkov A., Kutsevol V. Standalone Functional Verification of Multicore Microprocessor Memory Subsystem Based on Application of Memory Subsystem Models. *Proc. of 2015 IEEE East-West Design and Test Symposium, EWDTS*, 2015, pp. 326–330.
4. Standard Universal Verification Methodology Available at: <http://accelera.org/downloads/standards/uvm> (accessed 30.10.2016)
5. PCI Express Base Specification Revision 3.0. Available at: <http://pcisig.com> (accessed 30.10.2016)
6. Kozhin A.S., Alfonso D.M., Kolychev R.E. et al. Design of the first Russian 28 nm 8-core processor. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)*, 2016, no. 2, pp. 136–143 (In Russian).
7. Shmelev V.A., Stotland I.A. Standalone verification of microprocessors using reference models with various levels of abstraction. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)*, 2012, no. 1, pp. 435–440 (In Russian).
8. Kamkin A.S., Petrochenkov M. VA method for constructing a test oracle for a multicore microprocessor's memory subsystem based on nondeterministic functional model. *Voprosy radioelektroniki*, 2015, no. 3, pp. 84–95 (In Russian).

AUTHORS

Stotland Irina, PhD, head of sector, JSC «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-44-61, e-mail: stotl_i@mcst.ru.

Shpagilev Danil, engineer 1st category, JSC «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-50-49, e-mail: shpagilev_d@mcst.ru.

Petrochenkov Mikhail, senior engineer, JSC «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-44-61, e-mail: petroch_m@mcst.ru.