

МОСКОВСКИЙ ФИЗИКО-ТЕХНИЧЕСКИЙ ИНСТИТУТ
(государственный университет)
ФАКУЛЬТЕТ РАДИОТЕХНИКИ И КИБЕРНЕТИКИ
КАФЕДРА ИНФОРМАТИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Средства тестирования и калибровки каналов памяти DDR3

Выпускная квалификационная работа
(Магистерская диссертация)

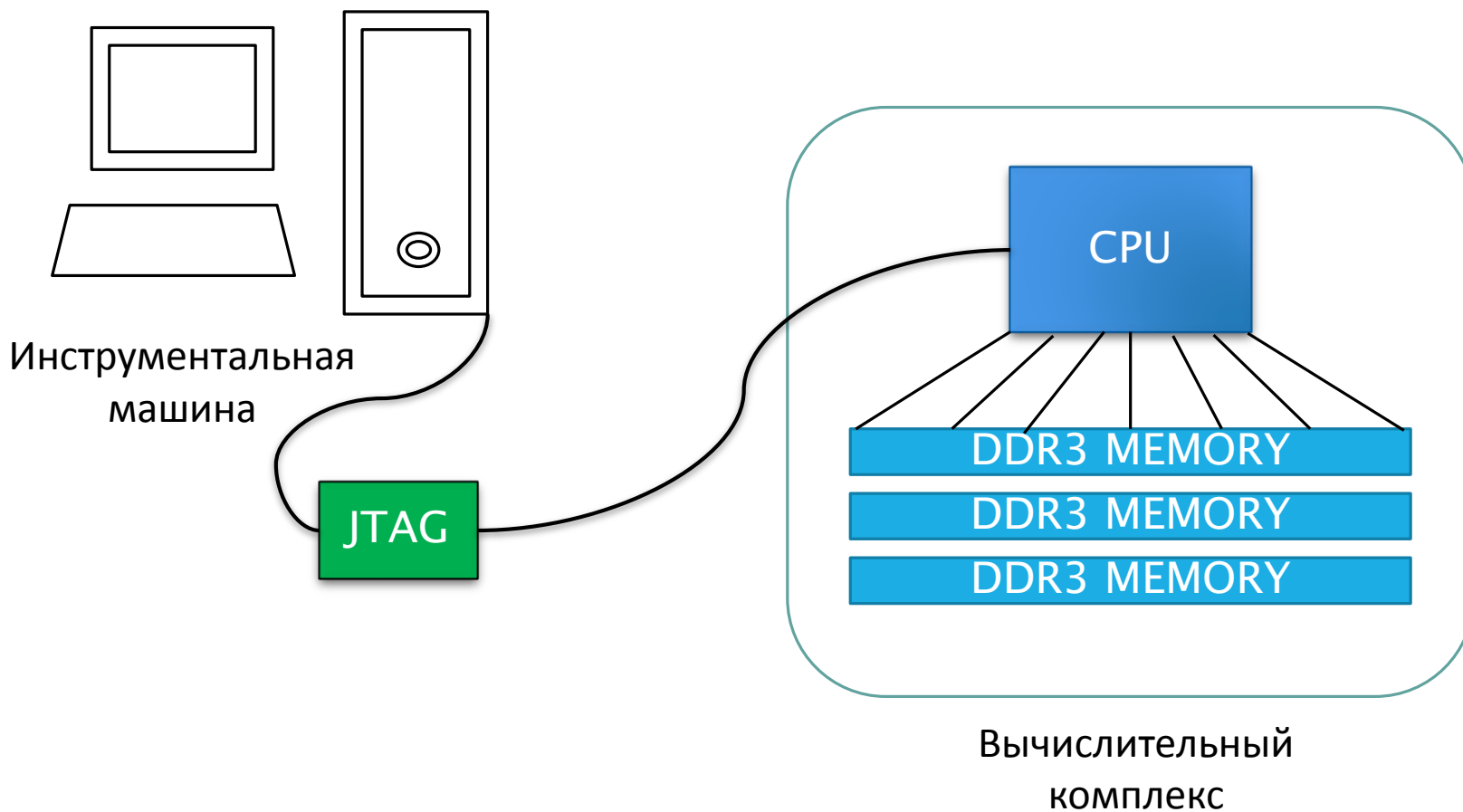
Студент: Билялетдинов И. Е.
Научное руководство: к. т. н. Воробушков В. В.
Тимин Л. С.

Москва, 2017

КАНАЛ ПАМЯТИ DDR3

- Скорость передачи данных – до 1600 МТ/с
- Ширина шины данных – 72 бита
 - Сопровождаются 9 дифференциальными стробами
 - Сигнал маски для каждого байта – 8 бит
- Ширина адресно-командной шины – 26 бит
- Несколько каналов на процессор
 - Эльбрус 4С: 3 канала
 - Эльбрус 8С: 4 канала

СХЕМА ТЕСТИРОВАНИЯ



ЦЕЛЬ РАБОТЫ

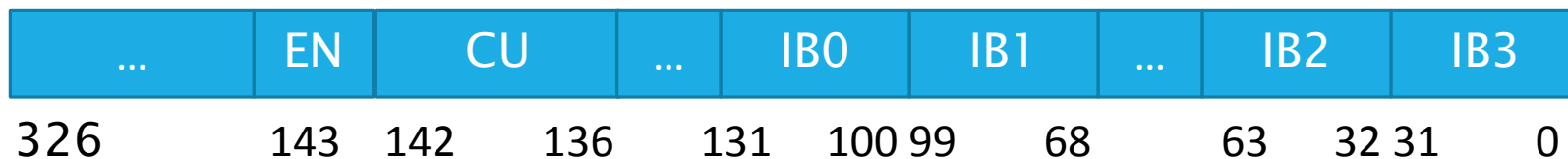
Разработка средств тестирования и калибровки каналов памяти DDR3.

Задачи:

1. Обеспечить доступ к регистрам процессора через программирование вычислительного ядра с помощью JTAG-контроллера
2. Реализовать алгоритмы процедур:
 - минимальной инициализации вычислительного комплекса
 - инициализации и настройки физического уровня памяти
3. Разработать метод оценки работоспособности канала памяти
4. Автоматизировать оценку работоспособности канала для заданного пользователем набора настроек

ПРОГРАММИРОВАНИЕ ВЫЧИСЛИТЕЛЬНОГО ЯДРА ЧЕРЕЗ JTAG СУЩЕСТВУЮЩИЕ ОТЛАДОЧНЫЕ СРЕДСТВА

В процессорах «Эльбрус» предусмотрена возможность заносить команды в буфер инструкций через отладочный порт с помощью регистра DCUR:



EN – бит разрешения исполнения инструкции

CU – биты управления остановкой дешифрации процессора и флаги индикации остановки процессора

IB_j – часть команды для исполнения на конвейере процессора

Для обмена данными между программой и процессором используется программно-доступный сдвиговый регистр DOR:



ПРОГРАММИРОВАНИЕ ВЫЧИСЛИТЕЛЬНОГО ЯДРА ЧЕРЕЗ JTAG ИСПОЛЬЗОВАНИЕ ОТЛАДОЧНЫХ СРЕДСТВ

Запись в регистр северного моста:

- Командой **ADDD** значение записывается в регистр общего назначения %dg
- Командой **STD** в нужный регистр записывается значение из %dg

Чтение регистра северного моста:

- Командой **LDD** значение регистра заносится в %dg
- Командой **RWD** значение %dg заносится в регистр DOR
- Регистр DOR читается с помощью JTAG

Реализовано на языке C++ в функциях:

```
__int64 read_reg(__int64 addr);  
void write_reg(__int64 addr, __int64 value);
```

ИНИЦИАЛИЗАЦИЯ ВЫЧИСЛИТЕЛЬНОГО КОМПЛЕКСА

1. Определение типа и числа процессоров
2. Проверка режима работы процессоров
3. Подача сигнала аппаратного сброса
4. Остановка дешифрации инструкций в ядрах
5. Нумерация процессоров в составе вычислительного комплекса

ИНИЦИАЛИЗАЦИЯ ФИЗИЧЕСКОГО УРОВНЯ ПАМЯТИ ВВЕДЕНИЕ

Пред началом работы физический уровень DDR3 и модули памяти необходимо проинициализировать:

- Задать настройки канала памяти
 - Номиналы резисторов
 - Временные параметры
 - Режимы работы
- Запустить внутренние схемы инициализации

Настройки памяти зависят от параметров установленного модуля памяти, которые хранятся в специальном блоке Serial Presence Detect (SPD)

ИНИЦИАЛИЗАЦИЯ ФИЗИЧЕСКОГО УРОВНЯ ПАМЯТИ ЧТЕНИЕ SPD

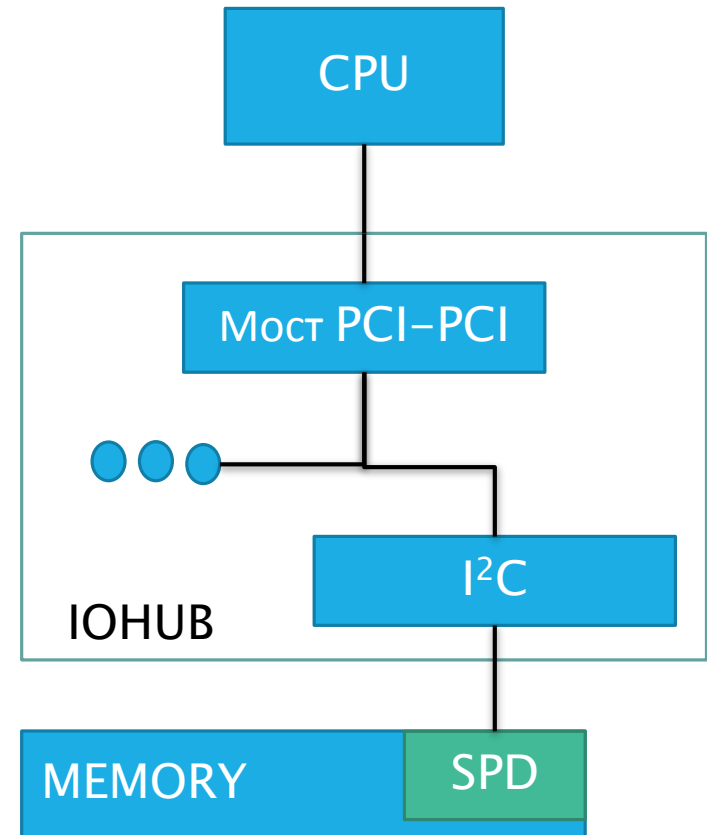
Порядок чтения SPD по I²C шине:

1. Инициализация маршрутизаторов северного моста процессора
2. Инициализация маршрутизаторов контроллера периферийных интерфейсов
3. Инициализация I²C контроллера
4. Чтение данных из SPD

Реализовано на языке C++ в функциях:

```
void init_pci_bridge();
```

```
unsigned int *read_spd(int i2c_bus_num, int i2c_dev_addr)
```



ИНИЦИАЛИЗАЦИЯ ФИЗИЧЕСКОГО УРОВНЯ ПАМЯТИ НАСТРОЙКА

Для настройки физуровня памяти используются регистры:

DCR – регистр конфигурации DRAM

DTCR – отвечает за параметры инициализации

DSGCR – управляет режимами работы памяти

ACIOCR – управляет параметрами адресно-командной шины

DXCCR – управляет параметрами шины данных

ODTCR – управляет терминирующими резисторами

MRj – управляет настройками временных параметров, выходными и терминирующими сопротивлениями

И другие: RDIMMCR0, RDIMMCR1, PGCR1, PGCR2, PTR0, PTR1, PTR3, PTR4, DTPR0, DTPR1, DTPR2

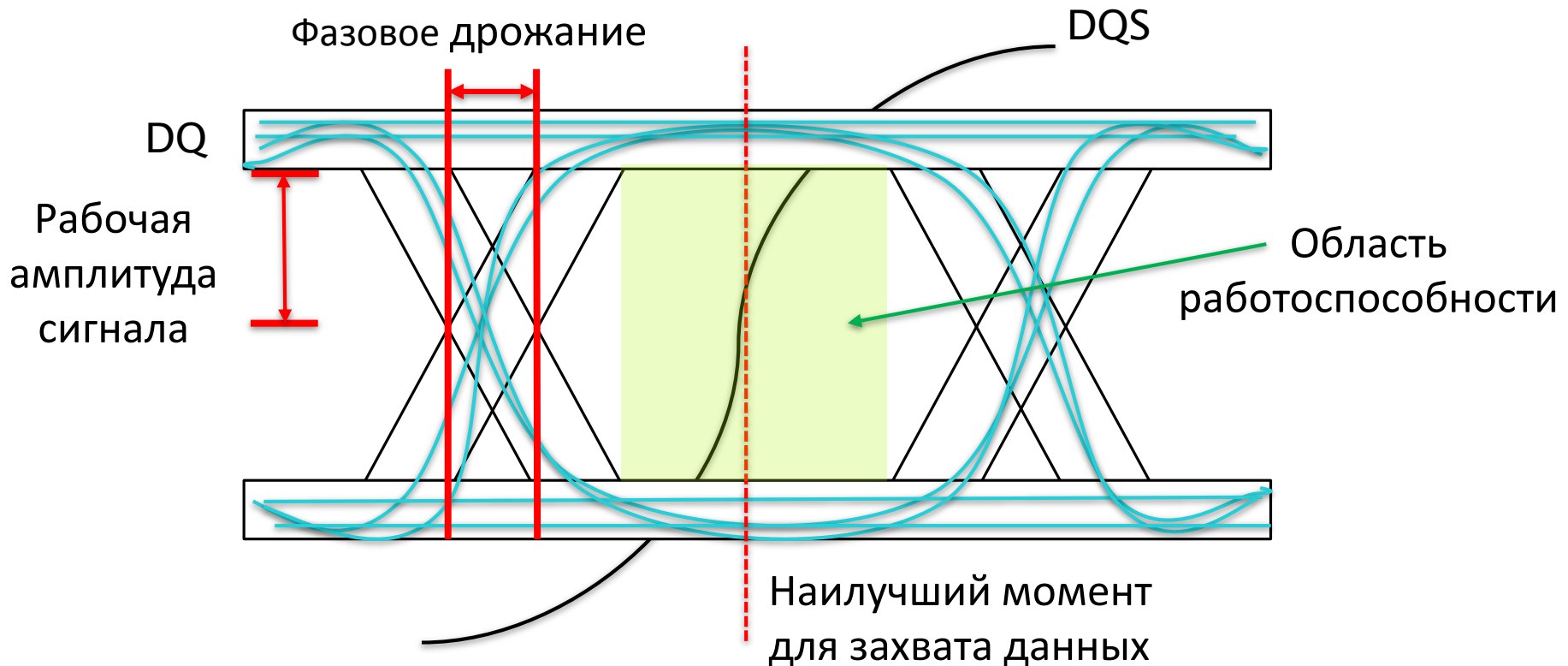
ИНИЦИАЛИЗАЦИЯ ФИЗИЧЕСКОГО УРОВНЯ ПАМЯТИ ЗАПУСК

Внутренняя схема инициализации физуровня запускается записью соответствующего значения в регистр PIR

Бит	Поле	Описание
0	INIT	Запуск инициализации
1	ZCAL	Impedance Calibration
4	PLLINIT	PLL Initialization
5	DCAL	Delay Line Calibration
8	DRAMINIT	DRAM Initialization
9	WL	Write Leveling
10	QSGATE	Read DQS Gate Training
11	WLADJ	Write Leveling Adjust
12	RDDSKW	Read Data Bit Deskew
13	WDDSKW	Write Data Bit Deskew
14	RDEYE	Read Data Eye Training
15	WREYE	Write Data Eye Training

ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ ГЛАЗКОВЫЕ ДИАГРАММЫ

Глазковая диаграмма - это результат наложения нескольких битовых периодов измеряемого сигнала.



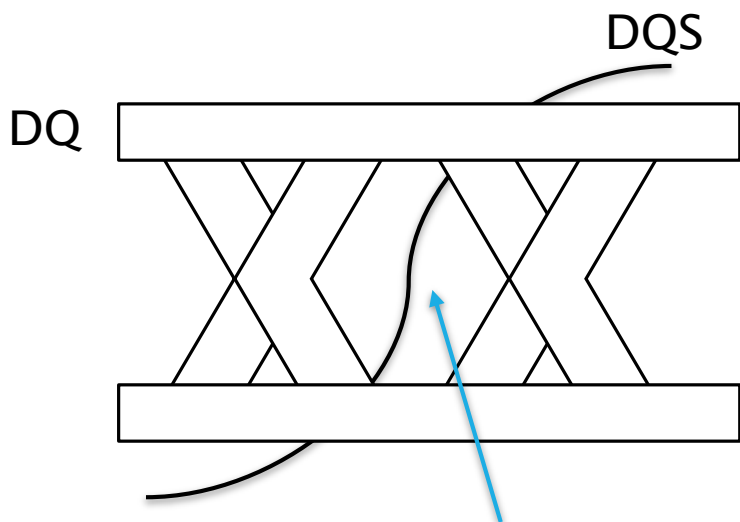
ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ ИЗВЕСТНЫЕ РЕШЕНИЯ

Построение глазковой диаграммы с использованием высокоточного осциллографа

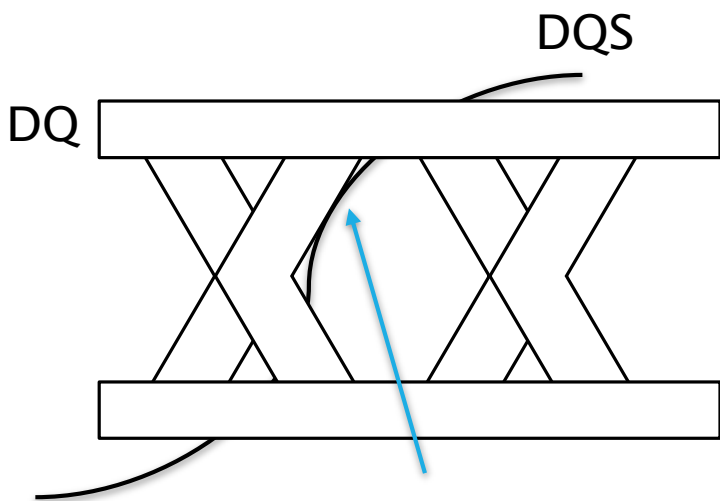
- Высокая точность результатов
- Занимает много времени
- Сложно проверить большое количество настроек
- Невозможно просматривать все сигналы DDR3 ввиду их количества

ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ ВЫБРАННОЕ РЕШЕНИЕ

Оценка ширины области работоспособности с помощью перемещения точки захвата данных - сдвиг строка DQS и тестирование работоспособности канала памяти



Точка захвата данных в оптимальном положении, передача данных без сбоев

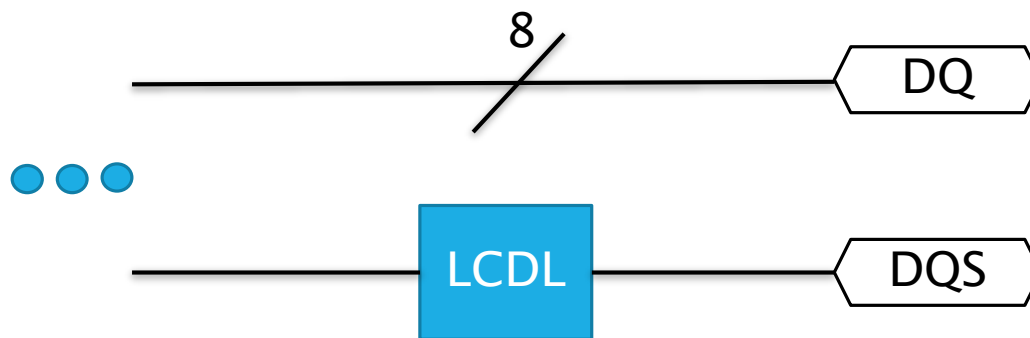


Точка захвата данных находится за областью работоспособности, ошибки при передаче данных

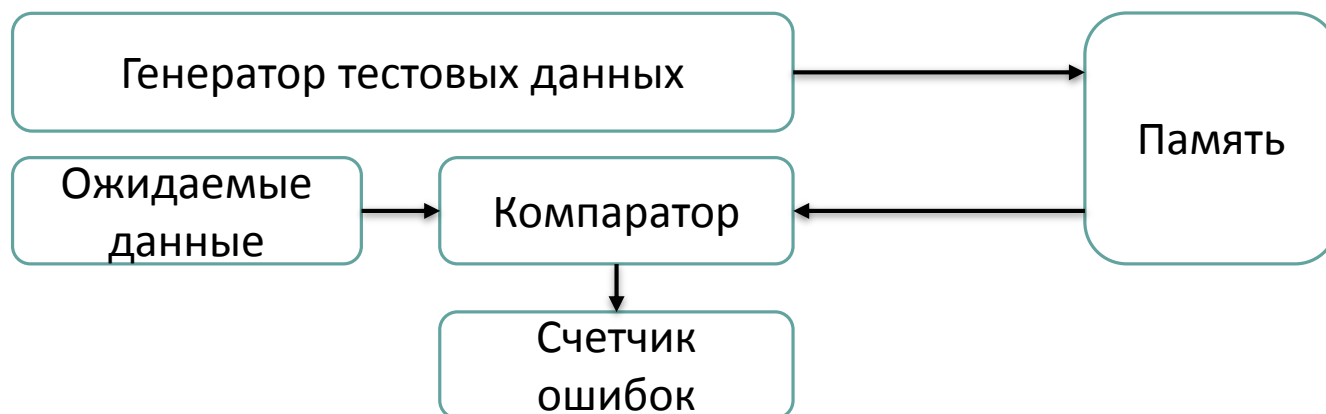
ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ СДВИГ СТРОБА DQS

Для сдвига строба DQS в физуровне предусмотрены программируемые блоки задержки LCDL. При инициализации физуровня автоматически подбираются оптимальные задержки. В дальнейшем их можно скорректировать программно.

Блоки задержки LCDL управляются отдельно для каждого байта данных и отдельно для операций чтения и записи.

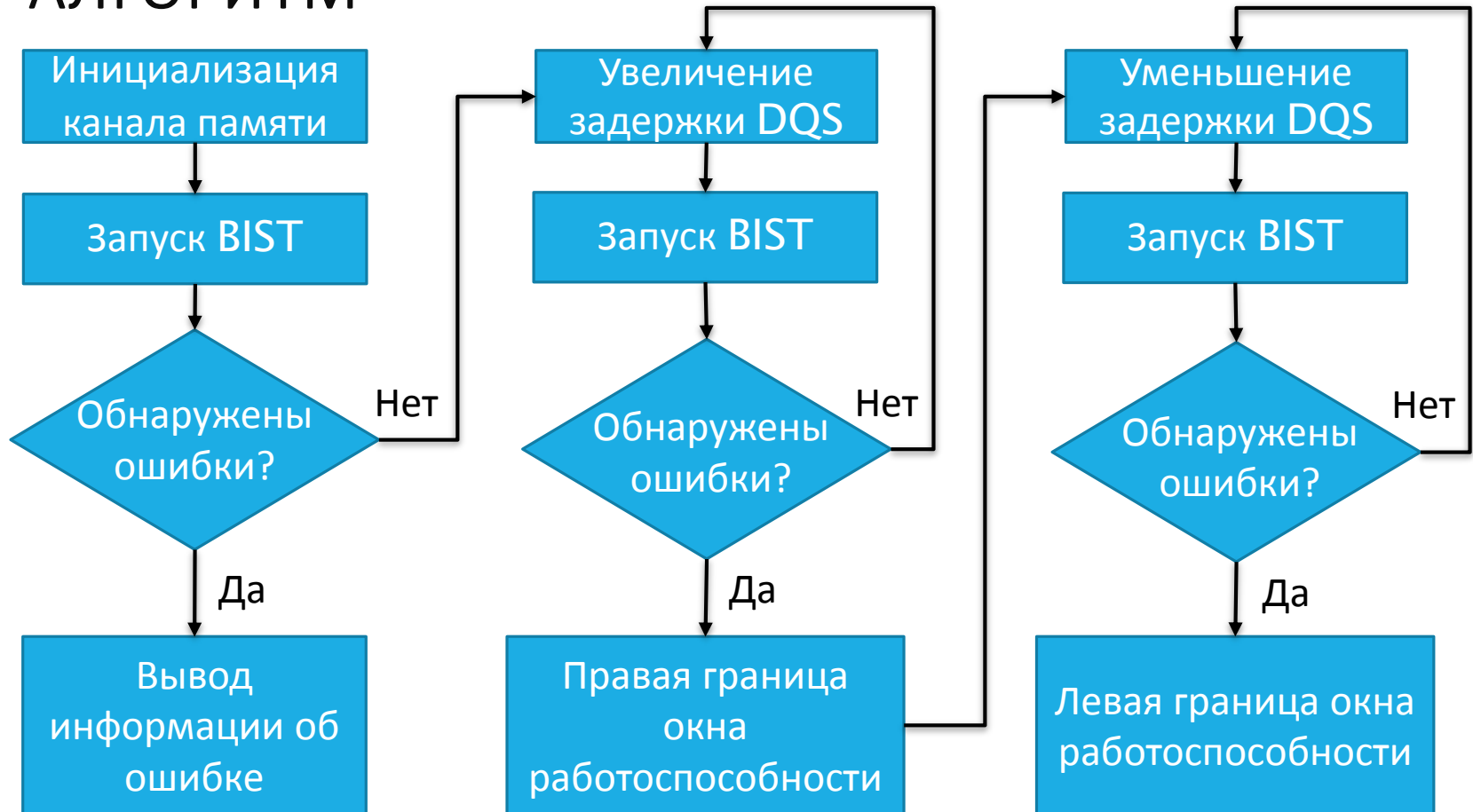


ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ ВСТРОЕННОЕ САМОТЕСТИРОВАНИЕ КАНАЛА DDR3

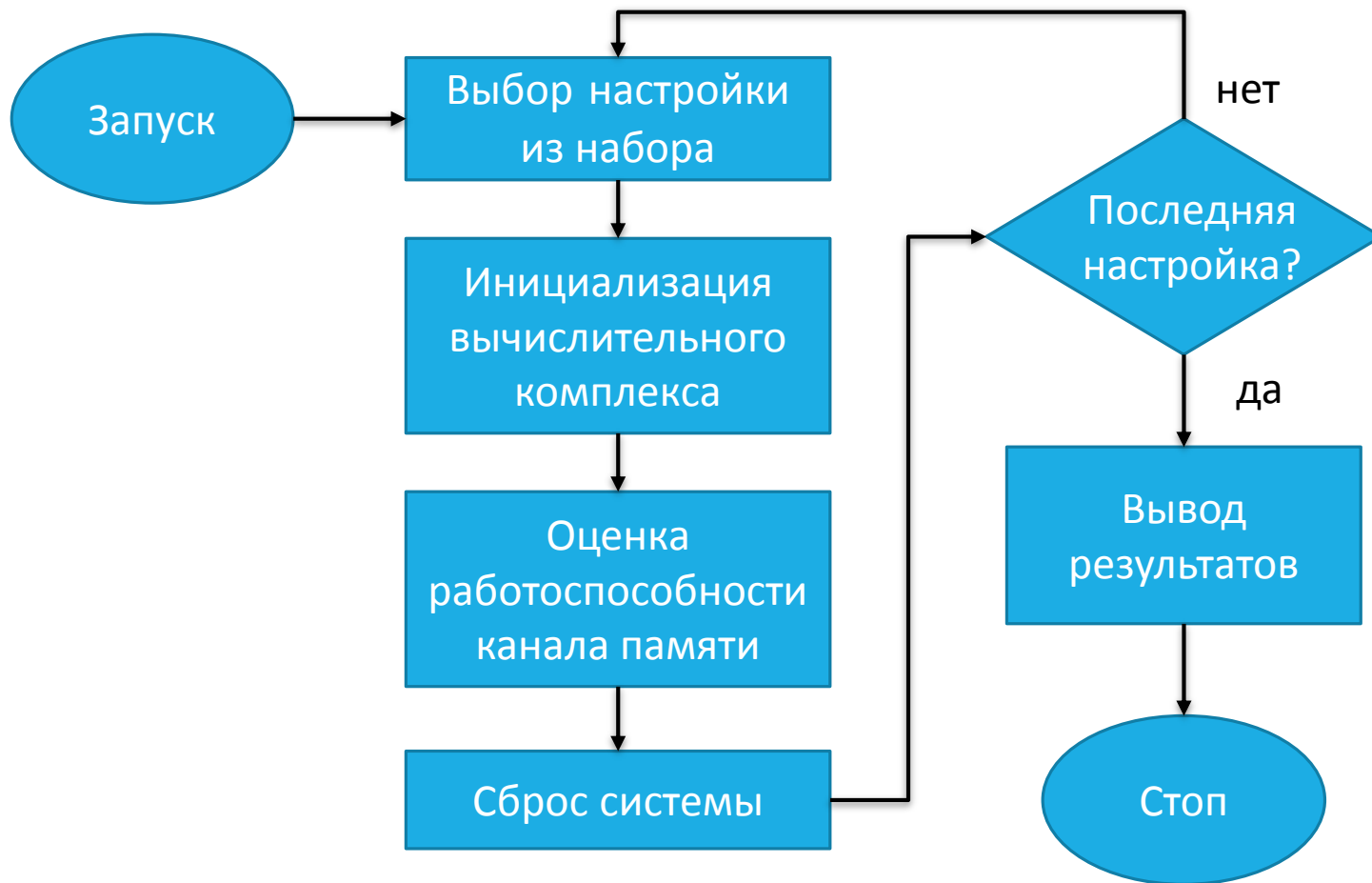


- Отсутствие необходимости инициализации программно-аппаратного комплекса
- Постоянная и интенсивная нагрузка на тестируемые линии передачи данных
- Единовременное тестирование только одного байта данных

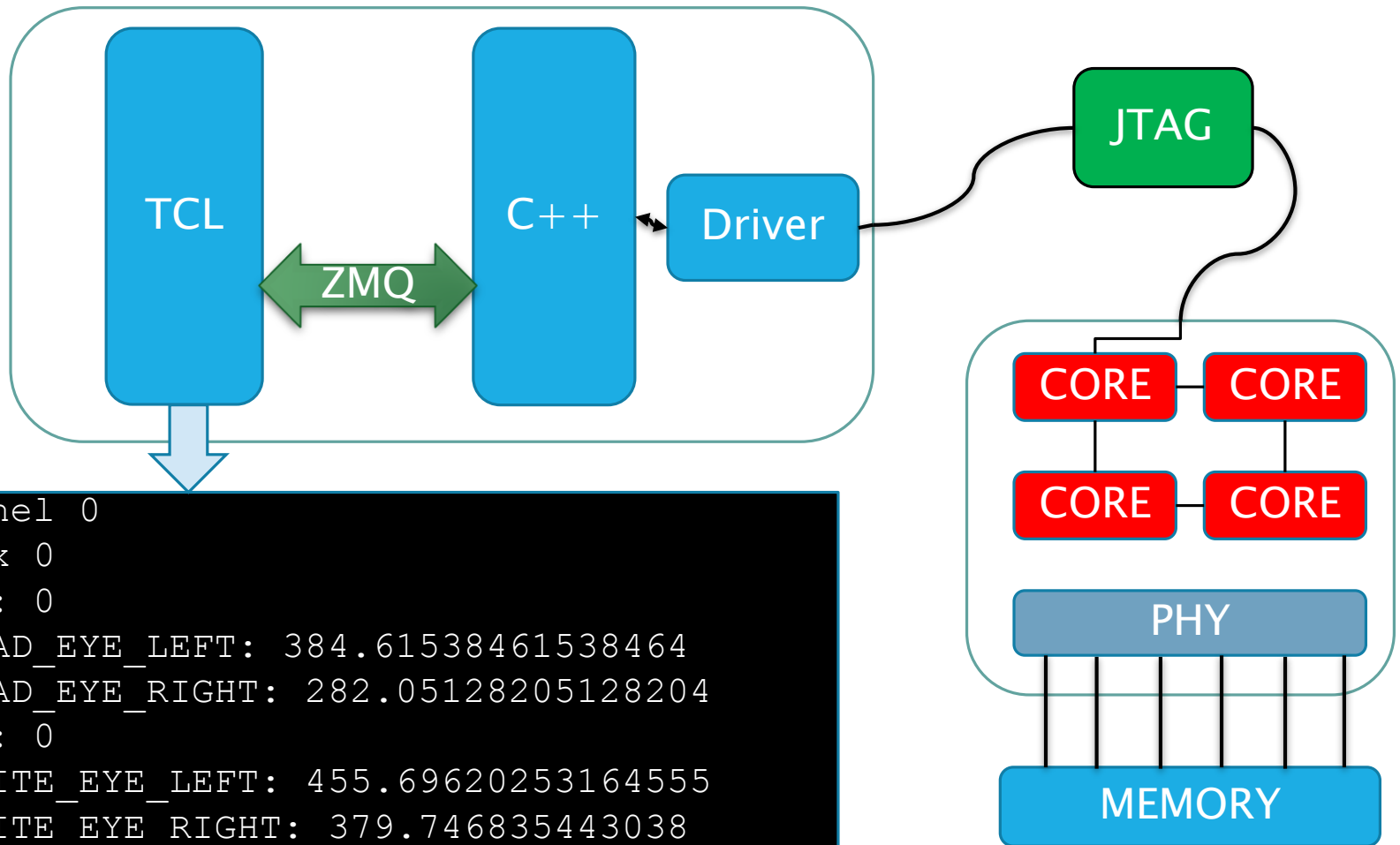
ОЦЕНКА РАБОТОСПОСОБНОСТИ КАНАЛА ПАМЯТИ АЛГОРИТМ



АВТОМАТИЗАЦИЯ ОЦЕНКИ РАБОТОСПОСОБНОСТИ КАНАЛА ДЛЯ НАБОРА НАСТРОЕК АЛГОРИТМ



РЕАЛИЗАЦИЯ ОБЩАЯ СХЕМА



```
Channel 0
Index 0
byte: 0
  READ_EYE_LEFT: 384.61538461538464
  READ_EYE_RIGHT: 282.05128205128204
byte: 0
  WRITE_EYE_LEFT: 455.69620253164555
  WRITE_EYE_RIGHT: 379.746835443038
```

РЕАЛИЗАЦИЯ

Низкоуровневые запросы реализованы на языке C++:

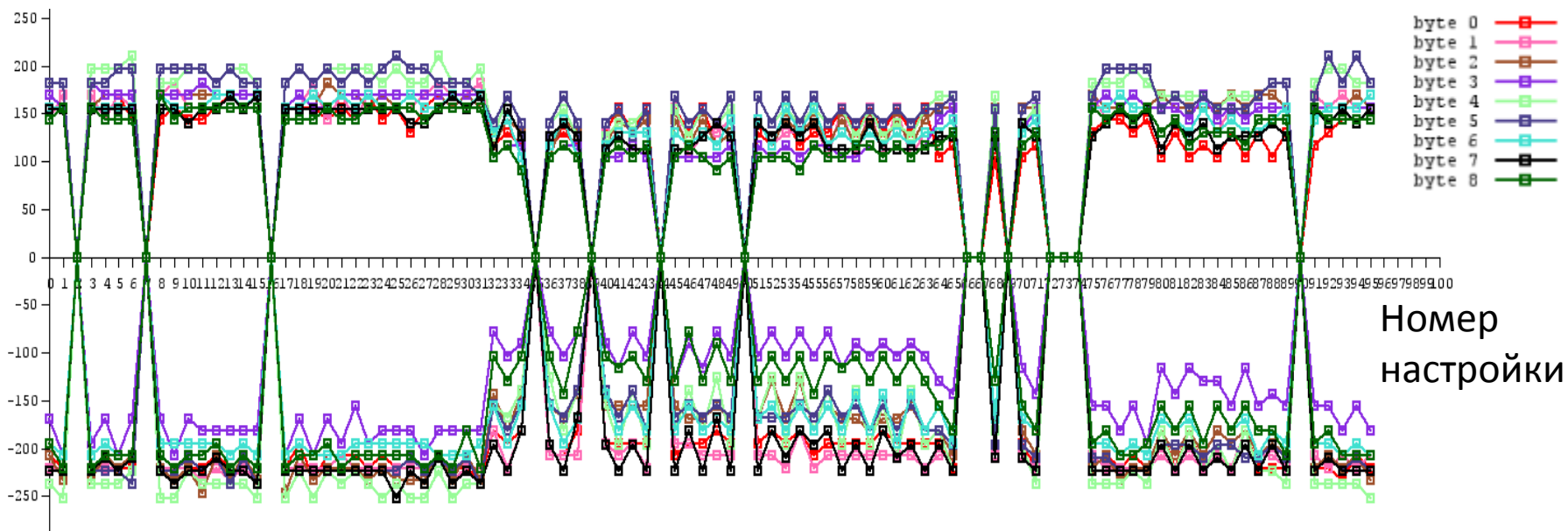
- Управление JTAG-контроллером
- Запись\чтение регистров
- Настройка маршрутизаторов
- Чтение SPD

Высокоуровневая часть реализована на языке TCL:

- Настройка и инициализация памяти
- Настройка и запуск тестов
- Оценка ширины области работоспособности
- Анализ результатов
- Пользовательский интерфейс

РЕЗУЛЬТАТЫ ОЦЕНКИ ОБЛАСТИ РАБОТОСПОСОБНОСТИ

Граница окна работоспособности, pS

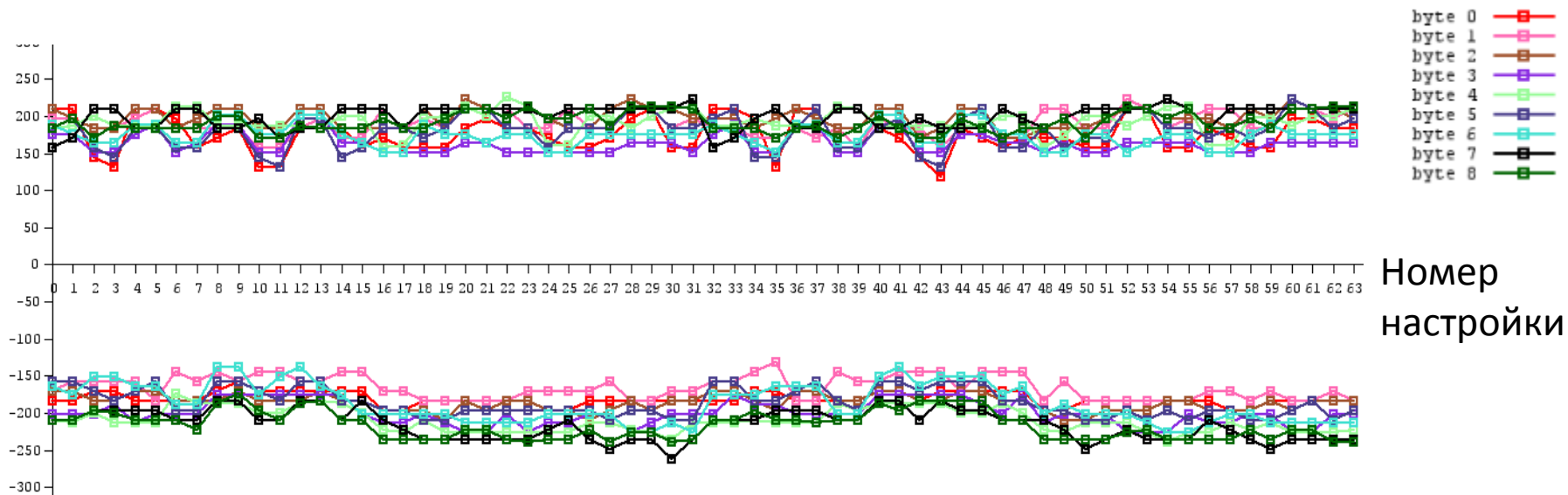


ВК: Эльбрус 8.4

Частота памяти: 1600 МГц

РЕЗУЛЬТАТЫ ОЦЕНКИ ОБЛАСТИ РАБОТОСПОСОБНОСТИ

Граница окна работоспособности, pS



VK: Эльбрус 4.4

Частота памяти: 1500 МГц

РЕЗУЛЬТАТЫ

Созданы инструменты для тестирования и калибровки каналов памяти.

Проведены исследования окон работоспособности для различных ВК на базе различных процессоров семейства «Эльбрус»

- Эльбрус 8.4
- Эльбрус 801 – РС
- Эльбрус 4.4
- Эльбрус 401 – РС

ДАЛЬНЕЙШАЯ РАБОТА

- Адаптация под новые модели процессоров
- Адаптация под новые типы памяти
- Адаптация под новые вычислительные комплексы
- Интеграция в процесс производства вычислительных комплексов
- Применение на стадии разбраковки процессоров