

### УДК 621.3

## Разработка синтезатора синхросигналов на основе DLL для микропроцессоров семейства Эльбрус. Development of clock synthesizer on DLL-based for "Elbrus" series microprocessor

*Мальшин Александр Владимирович, Есаков Игорь Александрович, Портнова Любовь Андреевна*  
*Malshin Aleksandr, Esakov Igor, Portnova Lyubov*

Акционерное общество «МЦСТ», 117105, г. Москва, ул. Нагатинская, д. 1, стр. 23. Тел. +7-495-363-96-65  
E-mail: [Alexander.V.Malshin@mcst.ru](mailto:Alexander.V.Malshin@mcst.ru), [Igor.A.Esakov@mcst.ru](mailto:Igor.A.Esakov@mcst.ru), [Lubov.A.Portnova@mcst.ru](mailto:Lubov.A.Portnova@mcst.ru)  
Joint Stock Company «MCST», Nagatinskaya st. 1 bldg. 23, Moscow 17105, Russia

#### Аннотация:

Рассматриваются принципы построения и особенности проектирования синтезатора синхросигналов, основанного на управляемой линии задержки (DLL), который позволяет под управлением ОС выполнять "на лету" изменение частот синхронизации узлов микропроцессора без прерывания вычислительного процесса. Синтезатор разработан по технологическим нормам 28 нм для микропроцессоров семейства "Эльбрус" и позволяет из одного опорного высокочастотного сигнала синтезировать до четырех рабочих синхросигналов с дробными значениями коэффициентов умножения диапазоне от 1/2 до 2.

#### Abstract:

The fractional DLL-based frequency synthesizer, which presented in this paper, allows to change frequency "on fly" without halted the microprocessor. The synthesizer which was developed in accordance with 28nm technology for ELBRUS series microprocessors allows to generate up to four operational clock signals with fractional multiplier factor that in range from 1/2 to 2, using high-frequency reference clock.

**Ключевые слова** синтезатор синхросигналов, ФАПЧ, фазовый интерполятор, цифровое управление.

**Key words:** clock synthesizer, PLL, phase interpolator, digital control.

Синтезатор синхросигналов [1], разработанный для микропроцессоров семейства "Эльбрус", позволяет из одного опорного сигнала генерировать нескольких рабочих синхросигналов с дробными значениями коэффициентов умножения частоты опорного сигнала и динамически изменять их величины без прерывания работы микропроцессора.

В данной работе детально рассмотрены особенности структуры и схемотехники узлов, определяющих частотный диапазон работы и точность синтезатора: управляемую линию задержки DLL, фазовый интерполятор и элементы узла формирователя выходного сигнала.

Разработанный синтезатор, блок-схема которого приведена на рис.1, является модификацией синтезаторов на основе DLL [2]. Принципиальным отличием предложенной схемы является возможность использования дробного значения коэффициента умножения частоты:

$$F_{out} = \left(\frac{N}{K}\right) * F_{ref} \quad (1)$$

В состав синтезатора входят следующие функциональные узлы:

- опорная DLL;
- фазовый интерполятор (PI);
- формирователь выходного сигнала (EC);
- цифровой алгоритмический генератор (DPG).

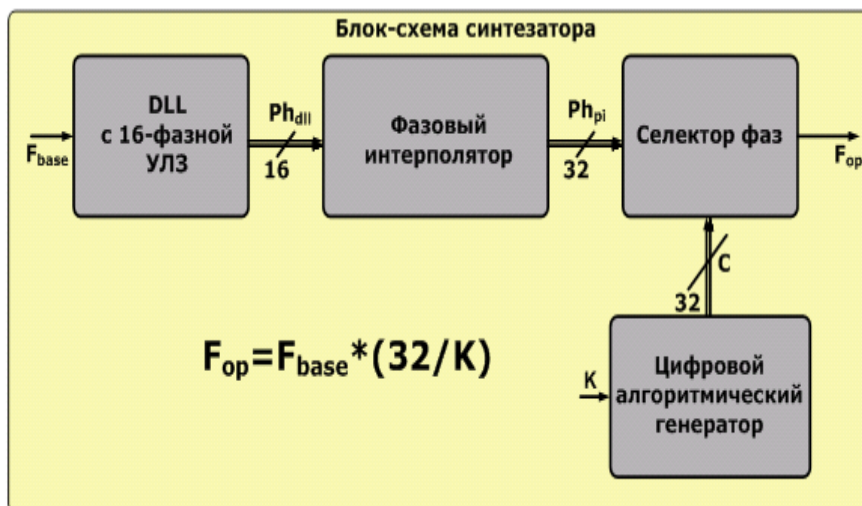


Рис.1. Структурная схема синтезатора синхросигнала для процессоров семейства «Эльбрус»

Опорная DLL является полнопериодной: задержка линии:  $T_{dll}$  в состоянии захвата петли регулирования равна одному периоду входного опорного синхросигнала  $T_{ref}=1/F_{ref}$ . Принципиальной особенностью реализации управляемой линии задержки является тот факт, что в отличие от обычно используемых линий, управляемых аналоговым сигналом, задержка линии управляется цифровым кодом. Это, наряду с использованием схемы фазового детектора с двоичным выходом, позволило реализовать полностью цифровой контур DLL.

Максимальное количество секций линии и, соответственно, дискретность синтеза выходной частоты ограничиваются минимальной величиной задержки секции. Линия задержки обеспечивает на выходе  $N_{ph\_dl}=16$  секций, равноотстоящих друг от друга на  $T_{dll}/N_{ph}$ . С целью увеличения общего числа фаз до  $N_{ph}=32$ , между выходами смежных секций линии задержки дополнительно установлены фазовые интерполяторы.

Из полученных  $N_{ph}$  фаз в формирователе выходного сигнала последовательно производится генерация коротких импульсов (P), их выборка и сборка выбранных импульсов на тактовый вход T выходного делителя частоты на два, который выполняет переключение выходного сигнала  $F_{out}$  по каждой последующей выбранной фазе опорного сигнала.

Цифровой алгоритмический генератор в каждом такте входного сигнала генерирует очередной 32-х разрядный управляющий код  $C[1:32]$  в соответствии с требуемой в данный момент времени величиной коэффициента K (2), тем самым обеспечивая на выходе схемы селектора формирование сигнала со скважностью два и частотой  $F_{out}$  равной:

$$F_{out} = M * F_{ref} = \left( \frac{N_{ph}}{K} \right) * F_{ref} \quad (2)$$

Изменение частоты выходного сигнала «на лету» производится путем программного изменения коэффициента K. При этом, с целью обеспечения непрерывности и целостности сигнала на выходе при изменении частоты, новая последовательность управляющих кодов фактически начинает генерироваться алгоритмическим генератором в момент биения сигналов опорной и текущей выходной частот.

Разработанный синтезатор в диапазоне температуры от -40C до 125C и напряжения питания 0.9В +/- 10% при занимаемой площади 127мкм\*132мкм обладает следующими функциональными, электрическими и эксплуатационными параметрами:

- Диапазон частоты опорного синхросигнала от 0.8 ГГц до 1.4 ГГц;
- Скважность опорного синхросигнала от 25% до 75%;
- Количество независимых каналов выходных синхросигналов — 4;
- Диапазон частоты в каждом выходном канале  $F_{out}=F_{ref}*(32/N)$  где  $N=16,18,20, \dots,64$ ;
- Номинальная скважность выходных синхросигналов 50%;
- Погрешность периода выходных синхросигналов +/-10пс;
- Потребляемая мощность (при  $F_{ref}=1ГГц$ ): 17мВт.

#### Литература:

- [1] Chandracasan A., Bowhill William J., Fox F. Design of high-performance microprocessor circuits, IEEE press, The Institute of Electrical and Electronics Engineers, Inc., New York, 2001
- [2] Bruno, Garlepp W., Kevin S. Donnelly A portable digital DLL for High-speed CMOS interface circuits, IEEE Journal of solid-state circuits, vol.34, NO.5, December, 1999.