

Тестирование высокоскоростных интерфейсов передачи данных и оптимизация их настроек

И.Е. Билялетдинов¹, А.Е. Ометов², Л.С. Тимин^{1,2}

¹Институт электронных управляющих машин им. И.С. Брука
²АО «МЦСТ»

В современных процессорах семейства «Эльбрус» используются высокоскоростные каналы передачи данных – каналы памяти DDR3/ DDR4 и каналы межпроцессорных связей и ввода-вывода, реализованные на базе физического уровня PCI Express.

Физический уровень каналов памяти имеет большое число различных настроек и параметров, это и сопротивления (например, выходные сопротивления сигналов), и настройки временных характеристик, и параметры внутренних блоков и механизмов.

Один из наиболее применяемых способов, позволяющих выяснить качество выбранных настроек, заключается в том, чтобы запустить длительный прогон на нескольких вычислительных комплексах. Другой – в том, чтобы, используя очень точный осциллограф, следить за изменениями сигналов и их параметрами. Однако при реализации в оптимальном варианте оба они требуют большого количества дополнительного оборудования и временных затрат. Если же проводить настройки неоптимальным образом, то с большой вероятностью может снизиться надежность вычислительного комплекса (возрастает вероятность сбоя) или скорость его работы (для обеспечения надежности снижается частота).

Для решения задачи следует обзавестись численной характеристикой настройки, которая будет отражать работоспособность канала, и которую можно получить быстро. Такой характеристикой является ширина области работоспособности [1] на глазковой диаграмме для шины данных DDR3/DDR4.

С целью определения ширины глаза без помощи осциллографа авторами предлагается перемещать точку захвата данных. При сдвиге за границы глаза система окажется неработоспособной, что позволит найти эту границу. Захват данных в системе памяти DDR происходит по фронту строба DQS. Внутри физического уровня канала памяти есть несколько управляемых блоков задержек BDL и LCDL сигналов строба DQS. Начальные значения задержек выставляются во время процедуры инициализации физического уровня памяти внутренними механизмами подстройки, однако они доступны для чтения и записи пользователю. При этом, управлять задержками можно отдельно для каждого байта и отдельно для режимов чтения и записи (при процессорном чтении данными и стробом управляет модуль памяти, а при записи – процессор). Алгоритм определения окна работоспособности следующий:

1. Установка начальной задержки
2. Увеличение задержки
3. Запуск теста, определяющего работоспособность
4. Если тест прошел успешно, то следует далее увеличивать задержку и запускать тест
5. Если тест завершился с ошибкой, то строб вышел из зоны работоспособности, следует запомнить последнюю рабочую задержку – это правая граница окна работоспособности.
6. Установка начальной задержки, ее уменьшение
7. Запуск теста, определяющего работоспособность
8. Если тест прошел успешно, то следует дальше уменьшать задержку и запускать тест.
9. Если тест завершился с ошибкой, то строб вышел из зоны работоспособности, следует запомнить последнюю рабочую задержку – это левая граница окна работоспособности.
10. Установка начальной задержки.

Отдельное управление задержкой позволяет определять окна работоспособности для каждого байта и каждого режима отдельно, что, в свою очередь, дает возможность оценить возможный технологический разброс характеристик каналов памяти.

В качестве теста на работоспособность можно использовать широкий набор тестов, однако для сокращения времени исполнения разумно использовать внутренние механизмы физического уровня памяти [2]. Таких механизмов два: встроенное самотестирование (BIST) и встроенный модуль управления (DCU).

Механизм встроенного самотестирования позволяет записывать псевдослучайный код в память по программируемым адресам. Недостатком является возможно протестировать только один байт памяти. С

одной стороны, это позволит снимать характеристики для каждого байта, с другой, исключается влияние соседних байтов друг на друга и уменьшаются шумы в системе питания, которые могут повлиять на работоспособность вычислительного комплекса в дальнейшем.

Внутри физического уровня памяти также находился внутренний командный модуль, который позволяет управлять памятью в обход контроллера памяти. Он может исполнять все внутренние команды памяти (в том числе команды управления) и настройки модуля памяти, однако есть ограничения, обусловленные размерами кэшей управления: всего можно исполнить 16 команд. Также к недостаткам можно отнести относительно длительное заполнение кэшей и трудность программирования на языке памяти (например, простая запись одного значения занимает 4 команды из 16 доступных). Преимущество командного модуля относительно встроенного механизма самотестирования только одно – возможность управлять всеми байтами одновременно.

Связи в вычислительных комплексах на базе микропроцессоров семейства «Эльбрус» реализованы на основе физического уровня PCI Express. Каждый микропроцессор соединен с каждым четырьмя связями, которые состоят из 4 двунаправленных линий. Пропускная способность этих линий достигает 6 Гб/с, поэтому очень важно правильно подобрать настройки физического уровня так, чтобы сигнал не затухал (линии на серверной плате достаточно длинные) и не искажался.

Межпроцессорные связи имеют следующий настраиваемый набор параметров:

1. Выходная амплитуда передатчика
2. Величина pre-emphasis и equalisation
3. Пропускная способность канала

Их правильная настройка необходима для обеспечения повышенной отказоустойчивости комплекса.

С целью проверки корректности набора параметров необходимо провести тестирование линий. Одним из известных решений является стандарт IEEE 1149.6, однако, его методика не позволяет протестировать интерфейс на рабочей частоте, так как частота JTAG не превосходит 10-30 МГц [4]. Поэтому, для проверки набора параметров, следует использовать встроенный механизм самотестирования PCIe [3].

Этот механизм состоит из двух частей: генератора тестовых данных и механизма сравнения. Первый встроен в передатчик и может посылать кодовые последовательности типа PRBS7, PRBS15, PRBS23 и PRBS31, а также пользовательские данные. Механизм сравнения размещен в приемнике и может синхронизоваться с генератором, принимать значения и подсчитывать количество ошибок.

Управление этим механизмом, изменение параметров связей, их инициализация производятся с помощью управляющих регистров, которые доступны с использованием JTAG интерфейса.

Порядок тестирования набора параметров предполагает:

1. Выбор набора настроек, и инициализацию физического уровня передатчика и приемника с применением этих настроек
2. Выбор режима работы генератора в передатчике, и включение компаратора в приемнике в аналогичном режиме
3. Синхронизация механизма сравнения с генератором. После этого сбрасывается значение счетчика ошибок и начинается тестирование
4. Чтение значения счетчика ошибок каждой линии
5. Выключение генератора и механизма сравнения
6. Анализ полученных данных, вывод о работоспособности настроек

В результате, на основании данных счетчика ошибок, можно определить окно работоспособности межпроцессорной связи, проанализировать работу каждой линии и выбрать наилучшую точку для повышения отказоустойчивости системы.

Литература

1. *Guy Foster*. Anatomy of an Eye Diagram – A Primer. SyntheSys Research, Inc. 2004. P. 9.
2. *Laung-Tern Wang, Charles E. Stroud, Nur A. Toubia*. System-on-Chip Test Architectures: nanometer design for testability. – Burlington: Morgan Kaufmann Publishers. 2008. P. 856.
3. *Laung-Terng Wang, Cheng-Wen Wu, Xiaoqing Wen*. VLSI Test Principles and Architectures: Design for Testability. – San Francisco: Morgan Kaufmann Publishers. 2006. P. 777.
4. IEEE Std 1149.1-2001: IEEE Standard Test Access Port and Boundary-Scan Architecture. – New York: Institute of Electrical and Electronics Engineers, 2001. P. 208.