

С. В. Юрлин^{1, 2}

¹ АО «МЦСТ», ² ПАО «ИНЭУМ им И. С. Брука»

УНИВЕРСАЛЬНЫЙ ПОДХОД К ПОСТРОЕНИЮ МАСШТАБИРУЕМЫХ ПРОТОТИПОВ МНОГОЯДЕРНЫХ МИКРОПРОЦЕССОРОВ (КУБ-ПРО)

Специализированное прототипирование является комплексной многоуровневой задачей с критически малым, как правило, временем на ее решение. Применение стандартных конструктивных решений для реализации прототипов многоядерных микропроцессоров не позволяет создавать эффективное оборудование. В статье рассматриваются рассчитанные на стандартизацию принципы и детали конструктивного исполнения основных функциональных компонентов, входящих в состав масштабируемых систем эмуляции (прототипов) нового поколения микропроцессоров семейства «Эльбрус». Заложенные в ней возможности должны обеспечить повторное использование ранее созданной аппаратуры и автоматизацию процессов подготовки прототипов к эксплуатации. Это может существенно увеличить время, непосредственно затрачиваемое на верификацию. По мнению автора, ряд решений этого проекта может быть взят в качестве стандарта при построении матричных масштабируемых систем эмуляции.

Ключевые слова: СнК, аппаратура, ПЛИС, прототип, «Эльбрус», эмуляция, КУБ-ПРО.

Введение

Специализированное прототипирование является комплексной многоуровневой задачей с критически малым, как правило, временем на ее решение [1], целью которой является наиболее полная функциональная верификация системы на кристалле (СнК) посредством эмуляции ее RTL-описания полноценной вычислительной системой на ПЛИС. Опыт АО «МЦСТ» и других производителей в проектировании, реализации и сопровождении специализированных прототипов [2, 3], с одной стороны, убедительно подтвердил несомненное значение этой работы в общем процессе создания высокопроизводительных вычислительных средств на базе многоядерных микропроцессоров (МП), с другой – позволил выявить свойственные ей проблемы. В их числе:

- необходимость использования больших ненадежных модулей;
- трудность или невозможность повторного применения уже созданных узлов;
- отсутствие стандартного конструктива, позволяющего строить большие высокосвязные структуры с широкими каналами между узлами;
- довольно регулярная замена ранее выбранных серий ПЛИС современными;
- замкнутость и нерасширяемость инженерных систем.

КУБ-ПРО – это проработанная до деталей и испытанная в макетном варианте система конструктивного исполнения функциональных компонентов прототипа, позволяющая естественным образом объединять модули в единое изделие независимо от различий между ними и выстраивать конфигурацию прототипа, соответствующую конкретной моделируемой системе.

Форм-фактор модулей эмуляции

Попытки применения стандартных форм-факторов для реализации прототипов многоядерных МП в АО «МЦСТ» не дали ожидаемых результатов [1]. При создании прототипа четырехъядерного МП «Эльбрус-4С» изменения стандартных решений для достижения большей плотности сигналов, выходящих на соединительную панель, привели к сложностям при отладке ввиду низкой доступности модулей во вставленном состоянии. В прототипе восьмиядерного МП «Эльбрус-8С», где были применены модули с тремя стандартными форм-факторами, проблемой стала низкая ремонтопригодность активной соединительной панели, на которой вплотную размещались 5 ПЛИС FPGA, 4 ПЛИС CPLD, 9 соединителей PCIe x16 для подключения модулей, 4 соединителя DDR3 и 3 спаренных соединителя 1GE для связи между прототипами.

Если говорить о новых проектах, то основными причинами предполагаемого возрастания подобных

и других проблем, связанных со стремлением реализовать функции современной вычислительной системы средствами ограниченной по объему и логическим возможностям аппаратуры прототипа, можно считать исходную установку на унификацию модулей процессорного ядра в качестве повторяемых блоков RTL-описания и реализацию подсистемы памяти в качестве одного сложного модуля, связанного со всеми остальными. При этом важно и то обстоятельство, что постоянное расширение логики ядра и изменения в организации подсистемы памяти в случае перехода на новое поколение микроархитектуры [4, 5] сделали крайне малой (или невозможной) возможность применения ранее созданной аппаратуры, где отмеченные выше трудности так или иначе были преодолены. Дополнительной проблемой стала замкнутость созданных прототипов ввиду особенностей реализации инженерных систем и отсутствия достаточного места для расширения, которая исключала возможность масштабирования.

Анализ наиболее цитируемых подходов, предложенных фирмами Synopsys и PRO DESIGN Electric GmbH [6, 7] в части структурной организации прототипов, позволил отметить несколько полезных решений, но не дал оснований для их принципиального заимствования. Причина в том, что сейчас при создании прототипов многоядерных МП неизбежно приходится использовать целый набор ПЛИС – так, для организации прототипа «Эльбрус-4С» понадобилось 10 самых емких на тот момент ПЛИС Intel (ранее Altera) серии Stratix IV EP4SE820, а для прототипа «Эльбрус-8С» – уже 21. То есть одним из основных требований к форм-фактору прототипа является возможность масштабирования при активном заимствовании созданных изделий.

Для этой цели не подходит ни один из существующих стандартных форм-факторов, которые хоть и применимы, но усложняют реализацию, снижают надежность и частоту, на которой ведется эмуляция. Кроме того, обычно возникает необходимость заказных конструктивных доработок для реализации определенного функционала. В силу этих причин была проведена макетная разработка специализированного форм-фактора модулей прототипа, предназначенного для организации матричных масштабируемых систем эмуляции.

Согласно базовому принципу этого проекта, каждый модуль содержит только одну ПЛИС FPGA, являющуюся его центральным элементом. Для ее связи с внешним миром используются описанные ниже интерфейсы прототипа типа А и Б. Соединители интерфейса типа А располагаются в центре каждой из сторон. Рядом с ними размещаются шестиконтактные угловые соединители питания Mini-Fit для подачи +12 В. Такое расположение обеспечивает короткое прямое подключение кабелями

соседних, граничащих с одной из сторон, модулей. Таким образом, реализовано двумерное масштабирование, которое определяет матричную конфигурацию модуля. Для увеличения возможностей масштабирования используется интерфейс типа Б, соединители которого равномерно расположены по периметру модуля.

Оптимальное количество каналов каждого интерфейса в такой компоновке равно четырем. Уменьшение приводит к снижению масштабируемости системы, а увеличение бесполезно ввиду геометрических ограничений, обусловленных самими модулями.

Принцип КУБ-ПРО, предполагающий размещение не более одной ПЛИС FPGA на модуле, упрощает отладку и уменьшает время ввода прототипа в эксплуатацию. Этому способствует и облегчение доступа к служебным сигналам ПЛИС и прототипа, достигаемое за счет расположения ПЛИС и теплоотводящего радиатора на нижней стороне панели. В этом случае доступны все переходные отверстия больших BGA-корпусов, и увеличивается площадь на верхнем слое, которую можно использовать для дополнительных соединителей. Относительно малые габариты и высокая плотность трассировки в зоне расположения ПЛИС позволяют осуществлять крепление модуля только по периметру. Для этого используется восемь крепежных отверстий – четыре по углам и четыре в центре каждой из сторон. Графическое изображение модуля прототипа в данном специализированном форм-факторе в различных проекциях приведено на рис. 1.

Интерфейс прототипа

Для обеспечения масштабируемости и повторного использования аппаратуры прототипа необходимо применение единых принципов построения, позволяющих создавать совместимые друг с другом устройства. Эти принципы должны учитывать следующие особенности больших аппаратных систем эмуляции синхронных RTL-моделей, реализованных на ПЛИС [1–4]:

1. Частота эмуляции зависит от количества логических связей между блоками СнК, эмулируемыми в ПЛИС, и характеристиками приемопередатчиков, используемых ПЛИС для передачи состояний логических связей.
2. Частота эмуляции в разных ПЛИС должна быть синфазной и не разбегаться с течением времени.
3. Все ПЛИС прототипа одной СнК должны объединяться в единую JTAG-цепь, имеющую возможность переконфигурации для обхода неиспользуемых или неисправных ПЛИС или модулей.
4. Для фиксации событий, затрагивающих блоки RTL-модели, находящиеся в разных ПЛИС,

необходимы сигналы прерываний работы логических анализаторов, передаваемые из одного ПЛИС во все остальные.

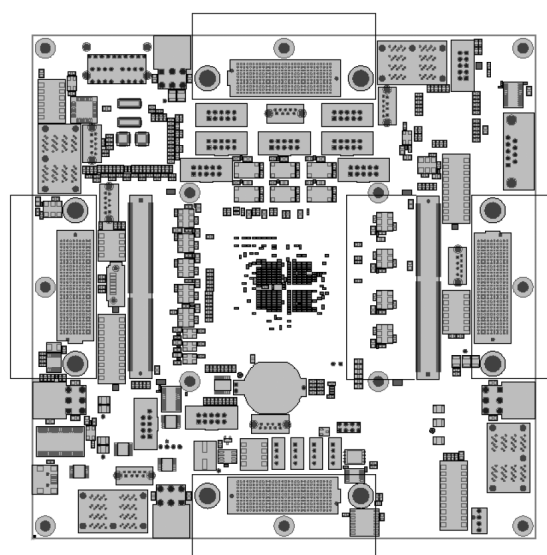
- Сброс прототипа и вычислительной системы в целом должен осуществляться от любого модуля.

В [3] отмечалось, что высокоуровневые интерфейсы не лучшим образом подходят для прототипирования из-за их объемной логической части и сложности алгоритмов установки соединения и маршрутизации. Приемлемых характеристик прототипа можно достичь только непосредственным применением схем физического уровня определенной ПЛИС и связанной с ними упрощенной логики.

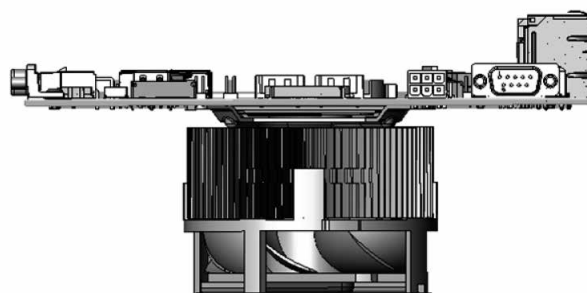
В проекте КУБ-ПРО этот подход был окончательно сформирован путем распределения коммуникационных и управляющих цепей интерфейса между ПЛИС разных типов, более соответствующих этим группам, и точной спецификации цепей каждой группы. Принципиальная схема соединения двух модулей прототипа через полнодуплексный интерфейс приведена на рис. 2.

Непосредственная передача сериализованных данных выполняется через шину, реализованную на физическом уровне ПЛИС FPGA, к которому отнесены и некоторые сигналы активации/деактивации аппаратуры прототипа. На базе ПЛИС CPLD реализованы сигналы из состава JTAG Altera для конфигурации эмулирующих ПЛИС, сигналы прерываний и управления статусом и рабочим режимом модулей.

Интерфейс прототипа реализован в двух типах: А и Б, отличающихся физическими уровнями каналов передачи данных и, соответственно, используемыми



а)



б)

Рисунок 1. Форм-фактор КУБ-ПРО: а – пример расположения элементов модуля; б – 3D-модель модуля (вид сбоку)

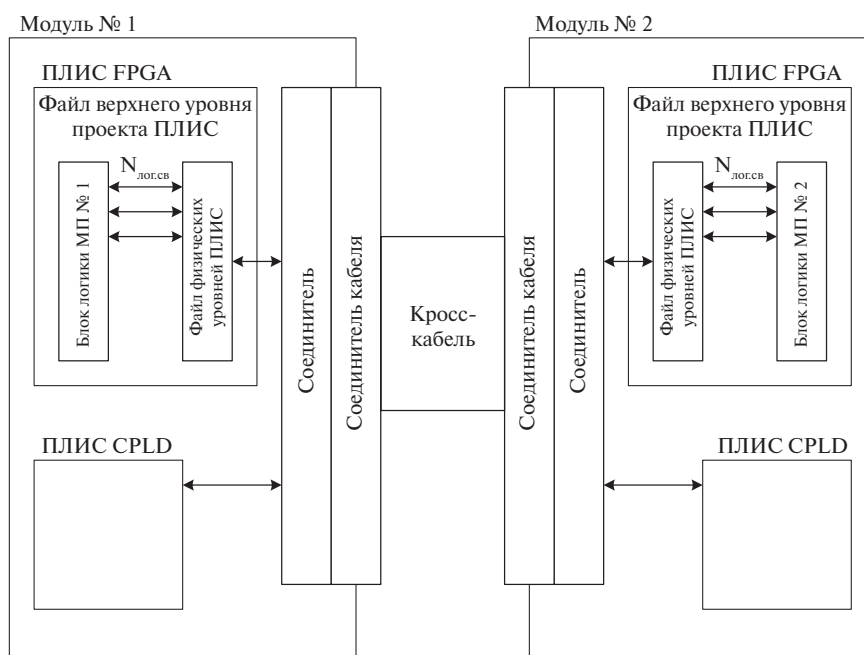


Рисунок 2. Схема соединения двух блоков СМК, эмулируемых в ПЛИС, расположенных на разных модулях

конструкциями разъемов и кабелей. При использовании интерфейса типа А все состояния логических связей между блоками RTL-описания должны быть переданы в течение одного такта частоты эмуляции. Связь двух ПЛИС выполняется путем LVDS-сигнализации шириной $\times 16$ с сопровождающим синхросигналом или без него с применением схем DPA. Для реализации выбраны соединители серии SEARAY фирмы Samtec с матрицей 30×10 и кабель Samtec, разработанный с участием той же фирмы.

Интерфейс типа Б предназначен для работы с двухтактными передачами между блоками RTL-модели или в местах, где задержка распространения передачи незначительна, например, при пакетных передачах в интерфейсе. Двухтактные передачи допускают пересылку состояний логических связей между блоками RTL-описания в течение двух тактов частоты эмуляции. В отличие от интерфейса типа А интерфейс типа Б не поддерживает требований по максимизации частоты эмуляции из-за больших задержек в аналоговых схемах приемопередатчиков, но позволяет реализовывать через него высокоскоростные интерфейсы (IOWLink, IPLink, RDMA, PCIe, SATA, SAS).

На физическом уровне интерфейса между двумя ПЛИС используются высокоскоростные приемопередатчики (BCSP, High speed transceivers) шириной $\times 4$. Для интерфейса типа Б выбрано два типа кабеля, один из которых предназначен для внешнего соединения длиной более 1 м, например, при организации связи между прототипами в случае эмуляции многопроцессорных систем, другой – для внутренней передачи служебных сигналов через встроенный плоский кабель.

Конструктив прототипа

Для построения масштабируемой матричной системы эмуляции необходимо основание, или каркас (корпус, chassis), выполняющее функции крепления модулей, отвода тепла от радиаторов модуля и подачу на них притока холодного воздуха, а также позволяющее реализовать масштабирование.

Из описания форм-фактора следует, что при креплении модулей доступ к верхнему слою МПП должен быть свободным для обеспечения коммутации соединителей и контакта с переходными отверстиями BGA-корпусов. Соответственно, несущее основание должно располагаться снизу модуля, причем (с учетом расположения монтажных отверстий) по его периметру. Из-за присутствия на нижней стороне модуля массивного теплоотводящего радиатора микросхемы FPGA основание должно быть полым, причем внутри него должен быть предусмотрен канал для воздушных потоков, отводящий тепло.

Форм-фактором предусмотрено масштабирование через интерфейсы прототипа. В частности,

интерфейс типа А предназначен для связи соседних модулей, что обеспечивает двумерное масштабирование. Размещение системы модулей, объединенных таким образом, в одной плоскости требует существенного пространства. С целью более компактного размещения плоскость можно сворачивать в кольцо или тор. Для крепления такой конструкции требуется трехмерная конструкция основания. С учетом этого основание можно представить в виде полого каркаса куба, состоящего из ребер. Ребра позволяют размещать до четырех модулей форм-фактора КУБ-ПРО на сторонах, замыкающихся в кольцо, а незадействованные для крепления модулей стороны использовать для активно-пассивной системы охлаждения.

Доступ к соединителям модулей и необходимость пространства для забора воздуха требуют обеспечить технические области вокруг куба. Для этого на вершинах куба каркас должен иметь выступающие элементы, которые являются опорами и позволяют размещать его любой стороной на горизонтальных поверхностях либо механически крепить к аналогичным каркасам. Их наличие позволяет масштабировать системы по трем осям путем механического соединения с другими аналогичными каркасами. Каркас также может быть использован для размещения инженерного и периферийного оборудования небольшого размера, в том числе блока питания или корзины для дисков. 3D-модель каркаса приведена на рис. 3.

Модульное расширяемое построение инженерных систем прототипа

В прототипе содержатся следующие инженерные системы:

1. Система синхронизации, обеспечивающая синхронную работу логики микропроцессора, эмулируемой на наборе ПЛИС в распределенной системе, функционирование периферийных интерфейсов (в том числе сериализаторов и десериализаторов) и бесперебойное взаимодействие блоков, работающих на разных частотах. Известные системы синхронизации прототипов имеют структуру сбалансированного дерева, корнем которого является генератор, а узлами – буферы, обеспечивающие размножение синхросигнала. Ветви деревьев на каждом уровне выравниваются между собой. Листьями дерева являются ПЛИС. При этом возможности по расширению такого дерева синхронизации отсутствуют.

В системе синхронизации КУБ-ПРО также присутствует генератор, выполняющий функцию корня, но такой генератор располагается на каждом модуле. Помимо этого, предусмотрен вход синхросигнала с соседних модулей через интерфейсы прототипа. Для выбора источника синхросигнала на каждом модуле линии из генератора и линии,

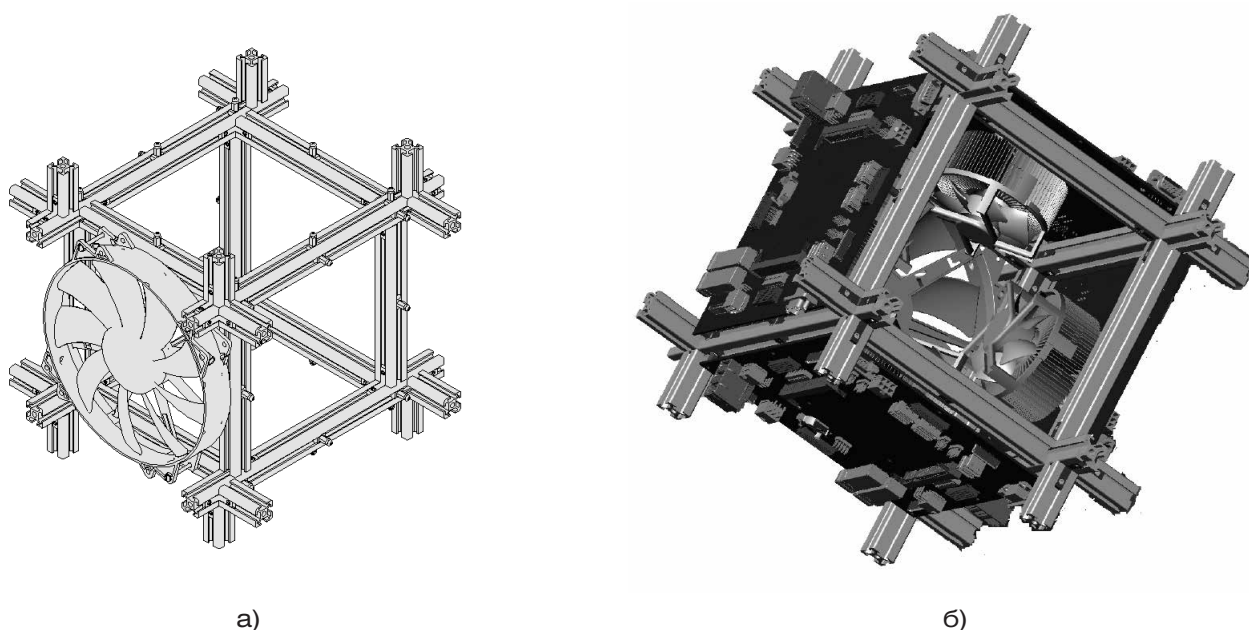


Рисунок 3. 3D-модель каркаса: а – внешний вид каркаса; б – каркас с четырьмя модулями в форм-факторе КУБ-ПРО

приходящие с соседних модулей, подаются на мультиплексор. Выбранный синхросигнал через систему буферов подается на ПЛИС и на все доступные соединители интерфейса прототипа. Такая система позволяет последовательно распространять и размножать синхросигнал через модули, подключенные к системе. В результате снимаются ограничения на масштабирование, связанные с замкнутостью традиционной системы синхронизации.

2. Система конфигурации, предназначенная для программирования микросхем ПЛИС, а также для вывода информации о состоянии внутренней логики. В системе КУБ-ПРО заложены схемы конфигурации JTAG, Active Serial (AS) и Configuration via PCIe (CvP). Ввиду того что используются два типа ПЛИС – FPGA, предназначенная для эмуляции RTL-модели МП, и CPLD, которая является транзитным посредником JTAG цепи FPGA, их конфигурация осуществляется через разные соединители и цепи. К CPLD подключаются цепи JTAG всех интерфейсов прототипа. Использование или транзит (bypass) подключенных цепей JTAG (рис. 4) определяется микропереключателями. Такая схема позволяет динамически изменять конфигурацию JTAG цепи FPGA. Для отладки эмулируемой логики МП у FPGA имеется отдельный соединитель для процессорного JTAG Corelisc.

3. Система удаленной диагностики и управления (СУДУ). Она осуществляет удаленные сбор статистики по уровням напряжения и температуры, управление напряжением и вентиляторами в системе, выставление сбросов прототипа и SnK, а также оповещение об аварийных ситуациях с фиксацией событий. Для выполнения указанных задач используется шина I2C.

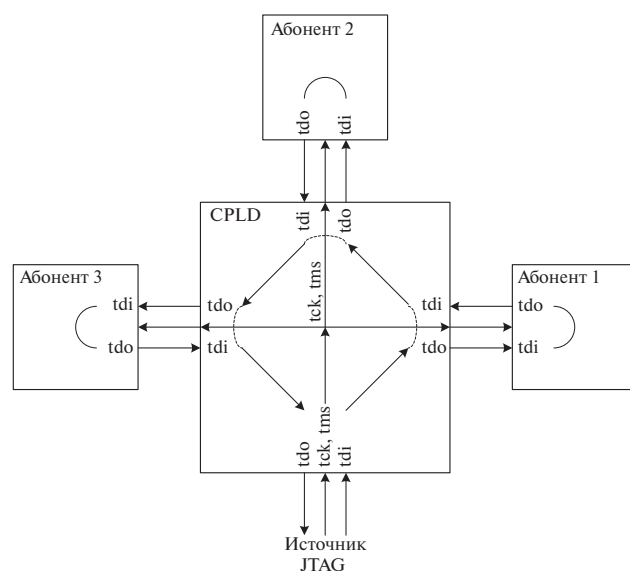


Рисунок 4. Схема коммутации JTAG в CPLD

Заключение

В статье рассмотрены принципиальные особенности реализации системы КУБ-ПРО, разработанной для прототипирования будущих разработок АО «МЦСТ». Заложённые в ней возможности должны обеспечить повторное использование ранее созданной аппаратуры и автоматизацию процессов подготовки прототипов к эксплуатации. Это может существенно увеличить время, непосредственно затрачиваемое на верификацию. По мнению автора, ряд решений этого проекта может быть взят в качестве стандарта при построении матричных масштабируемых систем эмуляции.

СПИСОК ЛИТЕРАТУРЫ

1. Юрлин С. В., Бычков И. Н. Прототипирование на основе ПЛИС для верификации многоядерных микропроцессоров // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2014. № 4. С. 45–50.
2. Слесарев М. В., Юрлин С. В. Определение расчетной частоты эмуляции микропроцессора в прототипе на основе ПЛИС // Вопросы радиоэлектроники. 2014. Т. 4. № 3. С. 119–130.
3. Schelle G., Collins J., Schuchman E. et al. Intel Nehalem processor core made FPGA synthesizable. *Proceedings of the 18th ACM/SIGDA international symposium on Field programmable gate arrays*, 2010, pp. 3–12.
4. Микроархитектура восьмиядерного универсального микропроцессора «Эльбрус-8С» / Д. М. Альфонсо, Р. В. Деменко, А. С. Кожин, Е. С. Кожин, Р. Е. Колычев, В. О. Костенко, Н. Ю. Поляков, Е. В. Смирнова, Д. А. Смирнов, П. А. Смольянов, В. В. Тихорский // Вопросы радиоэлектроники. 2016. № 3. С. 6–13.
5. Мороз Я. Н. Основные этапы и методы физического проектирования микропроцессора «Эльбрус-8С» // Вопросы радиоэлектроники. 2016. № 3. С. 14–21.
6. Synopsys' New HAPS-80 FPGA-Based Prototyping Solution. Synopsys Inc. Synopsys' HAPS® 80 brochure, 2016. Available at: <https://www.synopsys.com/company/newsroom/mnr/synopsys-new-haps-80-fpga-based-prototyping-solution.html> (accessed 14.11.2017)
7. FPGA Based Prototyping Solution. Modular, Flexible and Scalable – offering Highest System Performance. PRO DESIGN Electric GmbH – proFPGA overview brochure, 2017. Available at: http://www.prodesign-europe.com/profpga/PDF/proFPGA_overview_brochure.pdf (accessed 14.11.2017)

ИНФОРМАЦИЯ ОБ АВТОРЕ

Юрлин Сергей Владимирович, к.т.н., начальник сектора, АО «МЦСТ», ПАО «ИНЭУМ им. И. С. Брука», 119334, Москва, ул. Вавилова, д. 24, тел.: 8 (905) 738-97-27, e-mail: Sergey.v.yurlin@mcst.ru.

*For citation: Yurlin S. V. A universal approach to building scalable prototypes of multi-core microprocessors (KUB-PRO). *Voprosy radioelektroniki*, 2018, no. 2, pp. 93–98.*

S. V. Yurlin

A UNIVERSAL APPROACH TO BUILDING SCALABLE PROTOTYPES OF MULTI-CORE MICROPROCESSORS (KUB-PRO)

Specialized prototyping is a complex multilevel task with critically small, as a rule, time for its solution. The use of standard constructive solutions for the implementation of prototypes of multi-core MPs does not allow creating efficient equipment. In this article, the principles and details of the design of the main functional components included in the scalable emulation systems (prototypes) of a new generation of microprocessors of the Elbrus family are considered. The opportunities inherent in it should ensure the reuse of previously created equipment and automate the processes of preparing prototypes for operation. This can substantially increase the time directly spent on verification. In the author's opinion, a number of solutions of this project can be taken as a standard in the construction of matrix scalable emulation systems.

Keywords: SoC, hardware, FPGA, prototype, Elbrus, emulation, KUB-PRO.

REFERENCES

1. Yurlin S. V., Bychkov I. N. FPGA prototyping for functional verification of multi-core processors. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)*, 2014, no. 4, pp. 45–50 (In Russian).
2. Slesarev M. V., Yurlin S. V. Determination of the estimated emulation frequency of the microprocessor in FPGA-based prototype. *Voprosy radioelektroniki*, 2014, vol. 4, no. 3, pp. 119–130 (In Russian).
3. Schelle G., Collins J., Schuchman E. et al. Intel Nehalem processor core made FPGA synthesizable. *Proceedings of the 18th ACM/SIGDA international symposium on Field programmable gate arrays*, 2010, pp. 3–12.
4. Alfonso D., Demenko R., Kozhin A., Kozhin E., Kolychev R., Kostenko V., Polyakov N., Smirnova E., Smirnov D., Smolyanov P., Tikhorskiy V. Eight-core Elbrus-8C processor microarchitecture. *Voprosy radioelektroniki*, 2016, no. 3, pp. 6–13 (In Russian).
5. Moroz Y. N. Main stages and methods of physical design of the microprocessor Elbrus-8C. *Voprosy radioelektroniki*, 2016, no. 3, pp. 14–21 (In Russian).
6. [Synopsys' New HAPS-80 FPGA-Based Prototyping Solution]. Synopsys Inc. Synopsys' HAPS® 80 brochure, 2016. Available at: <https://www.synopsys.com/company/newsroom/mnr/synopsys-new-haps-80-fpga-based-prototyping-solution.html> (accessed 14.11.2017)
7. [FPGA Based Prototyping Solution. Modular, Flexible and Scalable – offering Highest System Performance]. PRO DESIGN Electric GmbH – proFPGA overview brochure, 2017. Available at: http://www.prodesign-europe.com/profpga/PDF/proFPGA_overview_brochure.pdf (accessed 14.11.2017)

AUTHOR

Yurlin Sergey, PhD, head of Sector, JSC MCST, PJSC Brook INEU, 24, ulitsa Vavilova, Moscow, 119334, Russian Federation, tel.: +7 (905) 738-97-27, e-mail: sergey.v.yurlin@mcst.ru.