

**Автономная верификация I/O Memory Management Unit.***А.А. Петрыкин*

ЗАО «МЦСТ»

Постоянное увеличение объема оперативной памяти и ужесточение требований безопасности современных вычислительных средств вызвало необходимость поддержки виртуальной адресации DMA-обращений в операционных системах, контроллерах периферийных интерфейсов и в процессорах. В процессорах архитектуры «Эльбрус» 6-го поколения трансляция виртуальных адресов выполняется в устройстве IOMemoryManagementUnit (IOMMU). Для аппаратной поддержки виртуализации операционных систем, трансляция виртуального адреса в физический происходит по схеме, включающей двухуровневую структуру страниц. На первом уровне выполняется трансляция виртуального адреса гостевой ОС (GVA) в физический адрес гостевой ОС (GPA), используя ее таблицы трансляции. На втором уровне полученный адрес транслируется в физический адрес (PA) гипервизора с использованием таблиц трансляции гипервизора. Информация о трансляции адреса для каждого устройства хранится в таблице устройств (DeviceTable, DT). Таблица состоит из 32-байтовых элементов (Device Table Entry, DTE). Поскольку устройство является достаточно сложным и имеет множество режимов работы, было принято решение проводить его автономную верификацию [1].

Для построения тестового окружения использовались язык SystemVerilog и методология UVM, которые позволяют генерировать псевдослучайные ограниченные входные запросы [2] для проверки поведения устройства во всех режимах работы.

Проверка реакций IOMMU производилась с помощью его эталонной событийной модели [3], реализованной на языке C++. Эталонная модель принимает входные стимулы и генерирует выходные реакции. Реакции буферизуются в модуле сравнения тестового окружения. Мониторы преобразуют реакции верифицируемого устройства в формат транзакций тестовой системы, после чего запускается функция поиска в соответствующих буферах эталонной модели и делается вывод о корректности работы устройства. Такой подход позволяет избежать учета временных характеристик IOMMU.

Одной из ключевых проблем, возникших при верификации, являлось формирование страниц таблиц трансляции, количество которых зависит от режима работы устройства и размера самих страниц. В IOMMU поддерживается три размера страниц: 4КБ, 2МБ и 1ГБ. В режиме виртуализации для страниц размером 4КБ количество обращений в память для одной трансляции может достигать двадцати пяти. В процессорах «Эльбрус» физические и виртуальные адреса 48-разрядные, и на формирование таблиц страниц для всего адресного пространства потребовалось бы большое количество вычислительных ресурсов. Традиционным подходом является генерация статической таблицы для ограниченного набора адресов. Для автономной верификации IOMMU процессоров «Эльбрус» 6-го поколения было принято решение разработать динамический генератор страниц таблиц трансляций, который формирует строки таблиц трансляций для любого виртуального адреса. По индексу трансляции в генераторе сначала формируется DTE, который содержит номер гостя, указатель на гостевую структуру трансляции и указатель на структуру гипервизора, соответствующую данному гостю. Затем, в зависимости от полученного DTE, режима трансляции и размера страниц, формируются остальные страницы.

Преимуществами данного подхода являются:

1. отсутствие необходимости формирования таблиц трансляции для всего адресного пространства;
2. возможность динамического задания размера страниц;
3. удобство проверки исключительных ситуаций благодаря динамический генерации полей строк таблиц страниц;
4. простота получения максимального покрытия, благодаря возможности обращений по любым адресам;

С помощью описанных выше методов, при автономной верификации устройства, было найдено 48 ошибок в RTL-описании.

#### **Литература**

1. *Lam W.* Hardware design verification: simulation and formal method-based approaches. – NewJersey: PrenticeHall, 2005.
2. Universal Verification Methodology [Электронный ресурс] // Accellera.  
[URL:http://www.accellera.org/community/uvm/](http://www.accellera.org/community/uvm/)
3. *Кельтон В., Лоу А.* Имитационное моделирование. 3-е изд. – СПб.: Питер, 2004. 847 с.