

Использование карты памяти при генерации системных тестов подсистемы памяти микропроцессора.

В.А. Агафонов^{1,2}

¹Московский физико-технический институт (государственный университет)
²АО «МЦСТ»

В настоящее время в АО «МЦСТ» ведётся проектирование многоядерных микропроцессоров. Особой задачей является верификация подсистемы памяти микропроцессора, состоящей из большого количества [1] одновременно разрабатываемых несколькими инженерами устройств [2]. Тестирование отдельных устройств подсистемы памяти является недостаточным, так как проверке не подвергаются соединения между устройствами и работа подсистемы памяти в целом. Для системной верификации подсистем памяти используют генераторы псевдослучайных ассемблерных тестов [3].

Обеспечение максимального функционального покрытия требует от генератора тестов формирования всех возможных инструкций обращения в память. С увеличением количества возможных инструкций обращения в память вероятность получения конкретной тестирующей последовательности инструкций стремительно падает, что вызывает рост временных затрат на проведение верификации. С целью уменьшения количества используемых в тестах данных и создания большего количества вытеснений в кэш-памятях адреса обращений в память выбирают особым образом. Хотя случайные тесты и позволяют выявлять ошибки подсистемы памяти, генерируемые последовательности случайных запросов воспроизводят профиль работы с памятью реальных задач, где типы обращений в основном одинаковы в пределах некоторой области памяти, крайне редко. Для воспроизведения в тестах различных пространственно-временных профилей работы с памятью необходимо управлять формированием адресов и типов обращений в память.

Описание предлагается производить в специальной структуре – карте памяти. Рассматриваемая структура позволяет устанавливать соответствие выбранных фрагментов адресного пространства, их атрибутов, ядра-источника запросов, множества допустимых типов обращений и других параметров. Предлагаемый метод описания обращений в память позволяет гибко конфигурировать пространственно-временные профили работы процессорных ядер с различными областями памяти. Формирование карт памяти может быть произведено как вручную, так и автоматизировано, с учётом необходимых требований. В случае автоматического формирования карт памяти объем, составляемого инженером описания может быть существенно снижен.

Описанный метод конфигурирования реализован при разработке генератора псевдослучайных ассемблерных тестов для верификации подсистемы памяти микропроцессоров с архитектурой «Эльбрус». В настоящее время реализованный генератор применяется в АО «МЦСТ» для верификации микропроцессоров «Эльбрус-2С3» и «Эльбрус-12С». Ведется работа по совершенствованию карт памяти и их автоматического формирования.

Литература

1. *Ким А.К., Перекатов В.И., Ермаков С.Г.* Микропроцессоры и вычислительные комплексы семейства «Эльбрус»: Учеб. пособ. СПб.: Питер, 2013. 272 с.
2. *Мешков А.Н., Рыжов М.П., Шмелёв В.А.* Развитие средств верификации микропроцессора «Эльбрус-2S». // Вопросы радиоэлектроники, сер. ЭВТ. 2014. № 3. С. 5–17.
3. *A. Adir [et al.].* Genesys-Pro: Innovations in Test Program Generation for Functional Processor Verification. // IEEE Des. Test. 2004. V. 21, N. 2. P. 84–93.