

Разработка конвейеризованного устройства FMA без промежуточного округления

Д.М. Альфонсо, В.Т. Хлобыстов

АО МЦСТ

С ростом вычислительных мощностей компьютеров в последние годы растёт и количество программ, требующих выполнения операций с числами с плавающей точкой. В связи с этими факторами ужесточаются требования к точности и скорости исполнения арифметических операций с плавающей точкой, что было отражено в редакции стандарта IEEE754 2008 года [1, 2]. В частности, отличительным дополнением стало требование реализации операции FMA (Fused Multiply-Add), вычисляющей произведение двух вещественных операндов и сложение его с третьим без промежуточного округления после умножения [3]. Такая операция стала востребованной ещё с 1990-х годов, т.к. позволяла улучшить точность и увеличить скорость вычисления скалярных и матричных произведений, обработку графики и др. [4]

При разработке процессоров в АО «МЦСТ» было спроектировано конвейеризованное устройство FMA без промежуточного округления (рис. 1). Устройство соответствует стандарту IEEE754, поддерживает двоичные форматы чисел с плавающей точкой одинарной и двойной точности, а также пакетные операции с числами одинарной точности. Устройство конвейеризовано и выполняет операции FMA с опциональным изменением знака произведения и/или третьего операнда за 5 тактов процессорной частоты. Разработка реализована на основе ранее спроектированного устройства умножения с добавлением аппаратуры для операций сложения, благодаря чему устройство поддерживает также операции умножения для чисел перечисленных форматов, а также для чисел формата расширенной двойной точности. Разработанное устройство работает с денормализованными операндами и реализует "мягкое" антипереполнение (может выдавать денормализованный результат). В составе сумматора устройства FMA было разработано устройство LZA предсказания старшего значимого разряда суммы [5-7], поддерживающее работу как с положительными целыми, так и с отрицательными целыми слагаемыми в дополнительном коде.

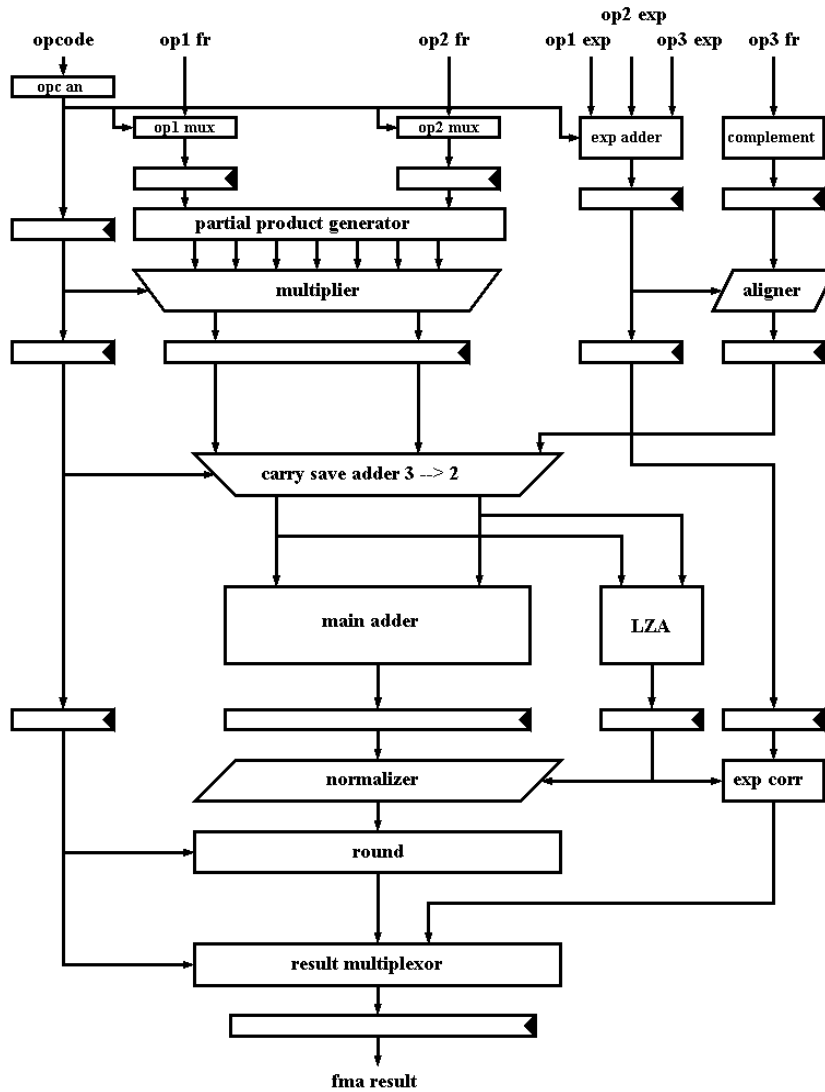


Рис. 1. Схема разработанного устройства

Литература

1. IEEE Std 754-1985, IEEE Standard for Binary Floating-Point Arithmetic. – USA: IEEE, 1985
2. IEEE Std 754-2008, IEEE Standard for Floating-Point Arithmetic. – USA: IEEE, 2008
3. *Quinell E.C.* – Floating-Point Fused Multiply-Add Architectures. – USA: The University of Texas at Austin, 2007
4. *Parhami B.* – Computer Arithmetic, Algorithms and Hardware Designs. – USA: Oxford University Press, 2000
5. *Zhang G., Hu W., Qi Z.* – Parallel Error Detection for Leading Zero Anticipation. – China: Chinese Academy of Science, 2005.
6. *Verma A.* – Hybrid LZA: A Near Optimal Implementation of the Leading Zero Anticipator. – Switzerland: Ecole Polytechnique Fédérale de Lausanne, 2009
7. *Bruguera J.D., Lang T.* – Leading-One Prediction with Concurrent Position Correction. – USA: IEEE Transactions on Computers, 1999