

**Развитие контроллера оперативной памяти DDR4 для применения в современных микропроцессорах семейства “Эльбрус”.***И.А. Петров*

АО «МЦСТ»

В современных вычислительных системах используется оперативная память типа DDR. Системы на базе микропроцессоров “Эльбрус” не являются исключением. И в них для организации доступа к каналу оперативной памяти традиционно применяется контроллер собственной разработки АО МЦСТ, эволюционировавший за время существования до поддержки стандарта DDR4. Разрабатываемый микропроцессор “Эльбрус-16СВ” предъявляет повышенные требования к доступному объёму и к пиковой пропускной способности канала памяти. Одними из основных целей при его проектировании также являются улучшение показателей энергоэффективности и надёжности: как в целом, так и отдельных компонентов.

Важной составляющей выполнения поставленных задач стало добавление в контроллер памяти (МС) поддержки стандарта DDR4 3D Stacked. 3D-структура позволяет увеличить объём памяти в 8 раз до 1 Тб на один канал. Межстековый интерливинг, для которого добавлена возможность программного управления, может повысить реальную пропускную способность канала из-за меньших задержек на переключения по сравнению с межранковым интерливингом. Нарастивание емкости модуля памяти не приводит к пропорциональному росту энергопотребления и к снижению рабочей частоты, так как нагрузка на шину данных остаётся сопоставимой с обычными модулями DDR4.

При использовании модулей с поддержкой ECC перед началом работы с оперативной памятью требуется аппаратное заполнение памяти нулями. Этот процесс, например для 32Гб модуля, занимает ~2с. В связи с использованием объёмных 3DS чипов алгоритм аппаратной чистки памяти был доработан. Теперь контроллер выполняет её в фоновом режиме, и программа начальной загрузки системы (boot) получает доступ к участку памяти сразу после того, как он был обнулён.

Прирост количества ядер в системе и поддерживаемого объёма памяти вызвал необходимость в увеличении числа ячеек для хранения запросов в планировщике МС. В совокупности с повышением пиковой пропускной способности канала памяти с 19,2 Гб/с ( $f_{mc}=600\text{МГц}$ ) до 25,6 Гб/с ( $f_{mc}=800\text{МГц}$ ) это привело к неприемлемо долгому выполнению физического синтеза устройства. Было определено, что данные проблемы связаны с тем, что в планировщике МС фильтр выявления адресной зависимости и фильтр приоритета выполнения запроса в открытую страницу банка памяти используют ежетапное сравнение адресов в формате "каждая ячейка с каждой". То есть массив адресов запросов фактически представлял собой CAM-память с N (число ячеек) портами для поиска. Это плохомасштабируемое решение было заменено на следующее: признаки, необходимые для работы фильтров, запоминаются на регистрах и обновляются при поступлении/выполнении запросов в МС. Тем самым, число число портов CAM-памяти адресов уменьшилось до 2х. После этого количество необходимого оборудования было снижено на 60%, и физический синтез был проведён с удвоением числа ячеек МС по сравнению с прошлыми проектами.

В новой версии контроллера памяти большое внимание было уделено улучшению функциональности RAS (надёжность, доступность, ремонтпригодность). Добавлена механика исправления ошибок на ddr-интерфейсе двух типов: ошибка чётности на адресно-командной шине и ошибка CRC для данных по записи. При обнаружении ошибки контроллер вместо выдачи сигнала об аварийном завершении работы делает переповтор последовательности тех команд, выполнение которых не гарантируется в модуле памяти в районе временной окрестности сбоя. Для контроля целостности оперативной памяти реализован механизм патрулирования: периодического (настраиваемого программно) вычитывания всего объёма памяти в целях исправления накопившейся одиночной ECC-

ошибки. По практическому опыту предыдущих проектов было решено улучшить регистрацию места возникновения множественной ошибки ECC - модуль, ранк, чип, номер разряда шины данных - тем самым сокращая время, необходимое для обнаружения устойчиво сбойной линии передачи данных на участке от модуля памяти до процессора.

В ходе работы контроллер оперативной памяти ddr4 был доработан так, чтобы удовлетворять вновь появившимся требованиям для использования в микропроцессоре "Эльбрус-16СВ". На данный момент устройство находится на стадии физического проектирования и функционального тестирования.

### Литература

1. *Ким А.К., Перекатов В.И., Фельдман В.М.* На пути к российской экзасистеме: планы разработчиков аппаратно-программной платформы «Эльбрус» по созданию суперкомпьютера эксафлопсной производительности // Вопросы радиоэлектроники. – 2018. – вып. 2
2. *Кожин А.С.* Контроллер памяти DDR2 SDRAM и его система синхронизации в составе системы на кристалле "Эльбрус-S2" // 52-я научная конференция МФТИ
3. *JS Choi* Next Big Thing: DDR4 3DS // Server Forum 2014
4. Addendum No. 1 to JESD79-4, 3D Stacked DRAM // [www.jedec.org](http://www.jedec.org), JEDEC – 2017
5. *John Fruehe* AMD EPYC Brings New RAS Capability // Moor Insights & Strategy, 2017