

Разработка буфера записи справочника процессора “Эльбрус-Е16С”

М.В. Козлов

Московский физико-технический институт (государственный университет)
АО «МЦСТ»

Современные вычислительные системы предполагают объединение нескольких многоядерных микропроцессоров на общей оперативной памяти. Необходимость поддерживать когерентное состояние кэш-памяти в таких многопроцессорных системах требует аппаратной реализации протокола когерентности. Существуют два различных подхода: широковещательное снузирование и справочник состояний кэш-строк. Широковещательное снузирование обладает существенным недостатком — оно плохо масштабируется ввиду квадратичного роста когерентного трафика [1]. Справочник состояний требует более сложной реализации, но позволяет значительно сократить число передаваемых сообщений [2].

Многопроцессорная когерентность в микропроцессоре “Эльбрус-Е16С” аналогично предыдущим проектам [3, 4, 5] реализуется с помощью справочника. В справочнике размещается информация обо всех строках памяти, которые хранятся во всех кэшах процессоров системы. При этом в справочнике не размещается информация о строках, которые располагаются в кэш-памяти собственного микропроцессора. Размер справочника был выбран таким образом, чтобы он покрывал количество строк примерно вдвое большее, чем содержится в кэше одного процессора. Подобная схема была реализована в процессоре AMD Opteron “Magny Cours” [6].

Ограничения физического проектирования не позволяют выдержать необходимый объём справочника, возросший по сравнению с предыдущим проектом, если использовать блоки SRAM-памяти с двумя независимыми портами для чтения и записи. Поэтому при реализации справочника была использована однопортовая память. Это означает невозможность одновременного чтения и записи состояния кэш-строки, что приводит к значительной потере пропускной способности справочника.

Для преодоления потерь в производительности было реализовано несколько оптимизаций:

1. Память справочника разделена на 8 банков, доступ к которым по чтению и по записи осуществляется независимо [7].
2. Для увеличения пропускной способности справочника по чтению был реализован буфер записи состояний [7]: чтобы не блокировать доступ по чтению при изменении состояния строки в справочнике, новое состояние сначала записывается в буфер записи состояний, а лишь затем, при отсутствии обращений по чтению, новое состояние перемещается в память справочника.
3. Для увеличения коэффициента покрытия в каждой строке справочника размещается информация о двух кэш-строках [3]. Для сокращения количества обращений по записи в память справочника, буфер записи хранит состояние кэш-строк аналогичным образом.

Реализация буфера записи позволяет сократить количество конфликтов, возникающих при одновременном доступе по чтению и записи в память справочника, и повысить производительность многопроцессорной системы с общей оперативной памятью.

Литература

1. *Исаев М.В., Кожин А.С., Костенко В.О., Поляков Н.Ю., Сахин Ю.Х.* Двухъядерная гетерогенная система на кристалле «Эльбрус 2С+». // Вопросы радиоэлектроники / Выпуск 3. Серия ЭВТ. — М. 2012 г. — С. 42-52.
2. *D. Sorin, M. Hill, and D. Wood.* A Primer on Memory Consistency and Cache Coherence. Morgan & Claypool Synthesis Lectures on Computer Architecture, 2011, 155 p.
3. *В. Н. Вараксин, М. В. Исаев, Ю. Х. Сахин,* "Оптимизация межпроцессорного протокола когерентности с помощью справочника микропроцессора Эльбрус-4С+", Вопросы радиоэлектроники серия ЭВТ, выпуск 3, 2013.

4. *Kozhin A. S., Polyakov N. Y., Alfonso D. M., Demenko R. V., Klishin P. A., Kozhin E. S., Slesarev M. V., Smirnova E. V., Smirnov D. A., Smolyanov P. A., Kostenko V. O., Gruzlov F. A., Tikhorskiy V. V., Sakhin Y. K.* The 5th Generation 28nm 8-Core VLIW «Elbrus-8C» Processor Architecture. Proceedings of the 2016 International Conference on Engineering and Telecommunication (EnT-2016), Moscow, IEEE, 2016, pp. 85–89.
5. *Альфонсо Д.М., Деменко Р.В., Кожин А.С., Кожин Е.С., Колычев Р.Е., Костенко В.О., Поляков Н.Ю., Смирнова Е.В., Смирнов Д.А., Смольянов П.А., Тихорский В.В.* Микроархитектура восьмиядерного универсального микропроцессора «Эльбрус-8С» // Вопросы радиоэлектроники. – 2016. – № 3 – Сер. ЭВТ. — С. 6-13.
6. *Pat Conway, Nathan Kalyanasundharam, Gregg Donley, Kevin Lepak, Bill Hughes,* “Cache Hierarchy and Memory Subsystem of the AMD Opteron Processor”, IEEE Micro, vol. 30, no. 2, 2010, pp. 16-29.
7. *J. Hennessy and D. Patterson,* "Computer Architecture: A Quantitative Approach, 5th ed.", Morgan Kaufmann, 2011.