

САПР проектирования коммутационных плат корпусов.

Бычков Игнат Николаевич

АО «МЦСТ» 117105, Москва, ул. Нагатинская, д. 1, стр.23, тел. +7 (495) 363 96 65, <http://www.mcst.ru>,
+7(903) 558 65 30, Ignat.N.Bychkov@mcst.ru

Ломако Сергей Григорьевич

Публичное акционерное общество «Институт электронных управляющих машин им. И.С. Брука»
119334, Москва, ул. Вавилова, 24, тел. +7 (499) 135-50-32, <http://ineum.ru>.
+7 (966)130 02 16, lomako_s@mcst.ru

Аннотация: в данной статье предлагается на рассмотрение САПР для совместного проектирования корпуса и кристалла СБИС и последующим применением при технологических процессах сборки микросхем. Разработанная технология создания матричных корпусов для СБИС с большим количеством выводов обеспечивает размещение и планирование выводов кристаллов микросхем, а также внутренних соединений корпуса. Основой разработанной технологии является создание системы автоматизации проектирования, которая охватывает все основные этапы проектирования корпусов интегральных схем. Разработанная технология включает: формализацию параметров используемых технологических процессов изготовления кристаллов СБИС, элементов корпуса, а также сборки микросхем, топологическое проектирование элементов ввода/вывода СБИС, подбор необходимого матричного корпуса, а также создание оптимальной коммутационной платы корпуса и выдачу необходимой конструкторской документации на производство.

Ключевые слова: FCPacker, топологическая трассировка, трассировка уходом, шаблоны оптимальных трасс ухода, корпус СБИС, трассировка подложки, система в корпусе/

DEVELOPMENT TECHNOLOGY FOR PACKING VLSI.

Bychkov Ignat Nikolaevich

PJSC «MCST», 1h.23 Nagatinskaya st. , Moscow 117105, Russia, +7 (495) 363 96 65, <http://www.mcst.ru>,
+7(903) 558 65 30, Ignat.N.Bychkov@mcst.ru

Lomako Sergey Grigorievich

PJSC «Brook INEUM», 24 Vavilova st., Moscow 119334, Russia,
тел. +7 (499) 135-50-32, <http://ineum.ru>.
+7 (966)130 02 16, lomako_s@mcst.ru

Annotation: this article proposes the consideration of CAD for the joint design of the body and the VLSI chip and the subsequent application in the process of assembling microchips. The developed technology of creating matrix enclosures for VLSI with a large number of outputs provides for the placement and planning of the outputs of the microcircuit chips, as well as the internal connections of the housing. The basis of the developed technology is the creation of a design automation system, which covers all the main stages of designing integrated circuit packages. The developed technology includes: formalizing the parameters of the used technological processes for manufacturing VLSI crystals, housing elements, as well as assembling chips, topological design of VLSI input / output elements, selecting the necessary matrix housing, as well as creating the optimal switching board of the housing and issuing the necessary design documentation for production.

Keywords: FCPacker, escape routing, topological routing, escape patterns, IC package, substrate routing, system in package.

Введение

Сложность реализации корпусов для высокопроизводительных микропроцессоров постоянно растет. Это обусловлено увеличением потребляемой мощности, площади и периферии кристаллов при применении технологии Flip-Chip. Такая тенденция увеличения сложности прогнозируется до тех пор, пока недостаточна надежность трехмерных конструкций с применением технологии 3D-TSV для микросхем с рассеиваемой мощностью более 10 Вт.

Предлагаемый САПР *FCPacker* – это набор программных средств совместного проектирования кристалла и корпуса интегральной схемы (ИС). Данный продукт обеспечивает поддержку всех проектных решений для сборки микросхемы по технологии монтажа кристалла объемными выводами на коммутационную плату корпуса (*Flip-Chip*) [1,2]. С таким набором программных средств разработчики микросхем могут производить оценку различных проектных решений для кристалла и корпуса ИС уже на ранней стадии совместного проектирования. САПР *FCPacker* позволяет разработчикам совершенствовать стратегии создания ввода-вывода для кристалла и корпуса с целью контроля характеристик микросхемы при минимизации ее цены. Разработчик микросхемы может определить оптимальные габариты и лучшую технологию для коммутационной платы корпуса уже на начальной стадии цикла проектирования. САПР *FCPacker* – это современная и постоянно совершенствующаяся технология проектирования с определением оптимального кристалла для создания корпуса (*KGD - known good die*). Важным достоинством технологии являются ее функциональные возможности по рациональному контролю над принятием решений на различных уровнях проектирования: печатной платы системы (*PCB*), кристалла (*Die*) и корпуса (*Package*) микросхемы (рис.1).

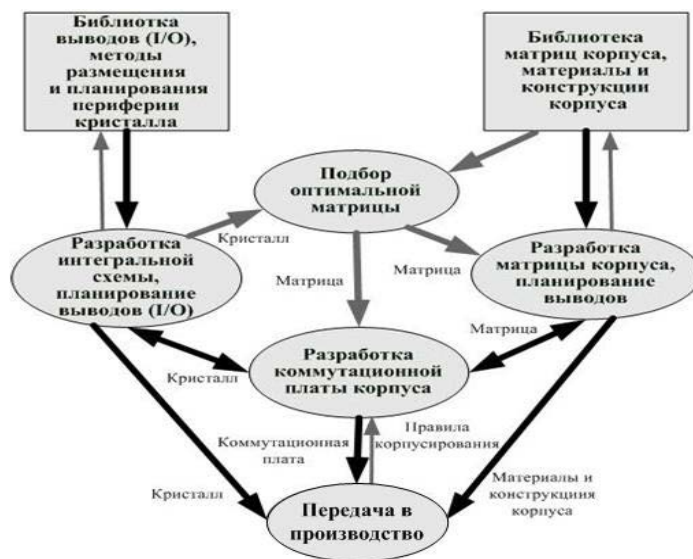


Рисунок 1. Маршрут проектирования в САПР *FCPacker*.

Все анонсированные современные технологии сборки микросхем, такие как *Flip-Chip*, *3D-TSV*, *VIP* – это способы создания систем в корпусе с большим количеством выводов и внутренних соединений [3,4]. Оптимальное задание выводов таких систем и составляющих их компонент не может быть сделано независимо друг от друга. САПР *FCPacker* позволяет визуализировать различные представления проектных решений, а также корректировать элементы кристалла и корпуса микросхемы, что действительно обеспечивает все необходимые возможности их совместного проектирования.

Большое внимание в САПР *FCPacker* уделено оптимальному созданию рядов элементов ввода-вывода кристалла (*I/O cells*) и размещению соответствующих контактных площадок (*bump pads*), а также анализу подачи питания, целостности сигналов системы кристалл-корпус-модуль, совокупности технологических и электромагнитных ограничений при назначении сигналов на выводы кристалла (*bumps*) и выводы корпуса (*balls, lands, pins*).

САПР *FCPacker* предоставляет следующие возможности (рис.2):

- Автоматизированное или ручное размещение элементов ввода-вывода и соответствующих им контактных выводов кристалла (*bump pads*);

- планирование элементов ввода-вывода кристалла и корпуса с учетом автоматизированной трассировки уходом от кристалла;
- выбор и/или создание матрицы корпуса для заданного кристалла;
- расположение кристаллов и других компонентов в корпусе с поддержкой расположения кристаллов друг над другом;
- создание слоев земли/питания в корпусе;
- создание списка соединений корпуса ИС;
- задание и автоматизированный контроль технологических (*DRC*) и ряда электромагнитных требований и ограничений (*ERC*);
- автоматизированная и ручная трассировка;
- 3D моделирование кристалла и элементов корпуса.



Рисунок 2. Возможности САПР *FCPacker*.

Конкурентоспособность продукта

Конкурентоспособность САПР *FCPacker* определяется следующими основными факторами:

- Он используется для проектирования микросхем с использованием современных норм КМОП технологии (90 нм, 65 нм), а также с использованием технологии монтажа кристалла объемными выводами на коммутационную плату корпуса (*Flip-Chip*).
- Увеличение доли проектов с использованием самых современных технологий сборки микросхем. На данный момент доля проектов выпускаемых в мире микросхем с применением современных (*Flip-Chip*) и перспективных технологий сборки (*3D-TSV*) растет, но пока меньше 15%, причем подобные проекты проводятся пока лишь несколькими высокотехнологическими компаниями.
- На рынок до сих пор выходят новые продукты для решения задач совместной разработки кристалла и корпуса микросхемы с большим количеством выводов при применении современных технологий сборки. К примеру, в 2011 году компания *Magma Design Automation* выпустила конкурентный продукт *SystemNav*TM.
- На рынке есть продукты, которые имеют избыточную функциональность для не самых современных технологий сборки и избыточность моделирования целостности сигналов для аналоговых схем. К таким продуктам относится *Allegro Package Designer*TM фирмы *Cadence Design Automation*. Основной недостаток таких продуктов является отставание в поддержке самых передовых технологических процессов и проектов, поскольку для большинства пользователей такая функциональность не является приоритетной.

Немаловажным фактором является низкая стоимость продукта и минимальные затраты на развитие для новых технологических процессов сборки микросхем (*3D-TSV*, *VIP*) и выполнение особых пожеланий пользователей.

В целях минимизации стоимости разработки и последующей поддержки продукта создание САПР *FCPacker* осуществлялось с использованием средств разработки, распространяемых по свободной лицензии и на бесплатной основе. Графический интерфейс программных модулей САПР *FCPacker* реализован с использованием языка *Java* в интегрированной среде разработки *NetBeans IDE 6.5*. Работа с внутренними базами данных и основные алгоритмы реализованы с использованием языка *C++*. Синтаксические и лексические анализаторы текстовых форматов данных также реализованы на языке *C++* с помощью *flex version 2.5.4* и *Bison 2.1 (GNU)*. Для связывания библиотек *C++* и *Java* использован *SWIG (Simplified Wrapper and Interface Generator) Version 1.3.31*. Использование таких средств разработки обеспечило создание версий продукта сразу для нескольких операционных систем: *Windows*, *Solaris*, *Linux*.

Для создания трехмерных представлений микросхемы и моделей топологии коммутационной платы корпуса используется формат *VRML (Virtual Reality Modeling Language)*. Такое решение также снизило стоимость разработки продукта, поскольку реализуется только необходимая выдача моделей в широко распространенном формате для просмотра с помощью стороннего программного обеспечения (рис.4).

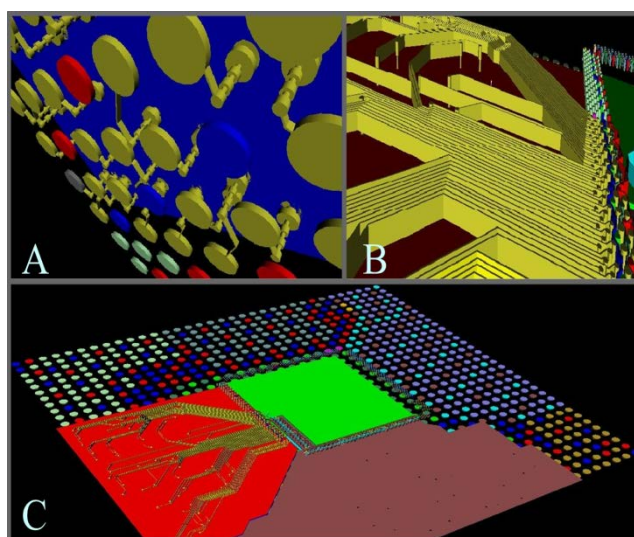


Рисунок 3. Трехмерные представления в формате VRML.

Структура *FCPacker*

Для современных технологий сборки микросхем испытанный набор программных средств из состава САПР *FCPacker* помогает принять оптимальные решения при планировании выводов, размещении компонент в корпусе, а также при создании коммутационной платы корпуса с очень высокой плотностью трасс (*HDI*). С помощью набора эффективных методов проектирования можно достаточно быстро задать ряды элементов ввода-вывода кристалла, трассировку уходом от кристалла, подсоединение выводов земли/питания микросхемы к соответствующим слоям коммутационной платы корпуса через слепые или глухие отверстия.

САПР *FCPacker* включает следующий набор проблемно-ориентированных программных средств (рис. 3):

- Планировщик выводов кристалла (*FCPacker -DP*);
- Редактор матрицы корпуса (*FCPacker -ME*);
- Менеджер назначения (*FCPacker -ASM*);
- Редактор коммутационной платы (*FCPacker -SE*);

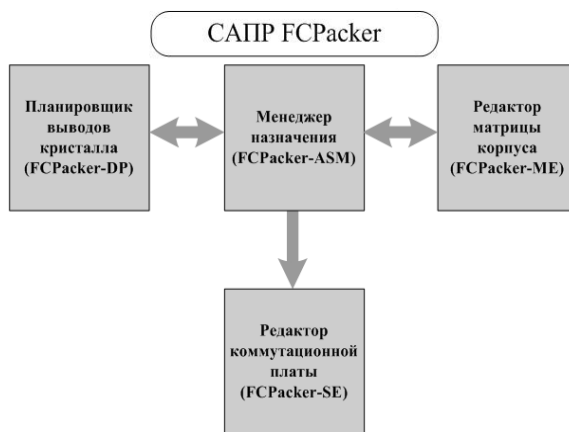


Рисунок 4. Состав САПР *FCPacker*.

Все программные средства из состава САПР *FCPacker* имеют однотипный графический и командный интерфейс.

Редактор матрицы корпуса

Разработка корпуса современной сложно-функциональной СБИС требует достоверной оценки количества слоев коммутационной платы, а также размещения рядов земли и питания периферии кристалла дальше от его границы в отличие от внешних рядов интерфейсных сигналов. С целью обеспечения целостности сигналов на слоях коммутационной платы корпуса необходимо планирование секторов для трасс сигналов различных интерфейсов. В табл. 1 представлен пример такого планирования секторов. Основным критерием качества трассировки в области зоны кристалла является успешная последующая трассировка до выводов корпуса в заданных секторах. Поэтому в САПР *FCPacker* целесообразна поддержка оригинальной автоматизации топологической трассировки и достаточно эффективной оценки ее качества.

Опыт разработки корпуса такой микросхемы показывает, что для выполнения автоматизированной трассировки в области зоны кристалла требуется множество итераций с заданием различных шаблонов ухода. Трассировка уходом включает также подключение выводов питания и земли кристалла к плоскостям металлизации, соответствующим заданным секторам. Изменение выводов корпуса является достаточно проблематичным при выполненном проекте печатной платы вычислительного модуля. Может оказаться, что с измененными выводами не получится реализовать плату вычислительного модуля при неизменном количестве слоев.

	Сектора для нумерованных интерфейсных каналов (кп, кв, км) и сегментов земли (з) и питания (п)			
слой	каналы памяти	ввод-вывод	ядро	межпроц. каналы
1	кп1	кв1,2,3	п/з	км1,2,3
2	з1	з2	з	з3
3	кп2	кв1,2,3	з4,5	км1,2,3
4	п1	п2	п4,5	п3
5	п/з			
6	з1	з2	з	з3
7	кп3	кв1,2,3	з4,5	км1,2,3
8	п1	п2	п4,5	п3
9	питание ядра(п)			
10	выводы корпуса /земля ядра(з)			

Таблица.1

Помимо традиционной проверки норм проектирования при заданной структуре слоев в САПР FCPacker реализована возможность выявления нарушений целостности сигналов, учтена возможность прохождения трасс высокочастотных сигналов над разрезами в опорных слоях земли и подключение высокочастотных конденсаторов через проводные соединения.

Редактор матрицы корпуса предназначен для создания представления микросхемы в маршруте проектирования печатной платы и модуля на её основе еще до выпуска проектируемой микросхемы (рис. 5). С помощью редактора матрицы корпуса можно сформировать матрицу выводов, создать группы интерфейсных сигналов, а также назначить сигналы на выводы микросхемы с учетом минимизации количества слоев печатной платы и выполнения требований целостности сигналов. Выходные данные редактора матрицы корпуса используются как для маршрута проектирования печатной платы, так и для разработки коммутационной платы корпуса.

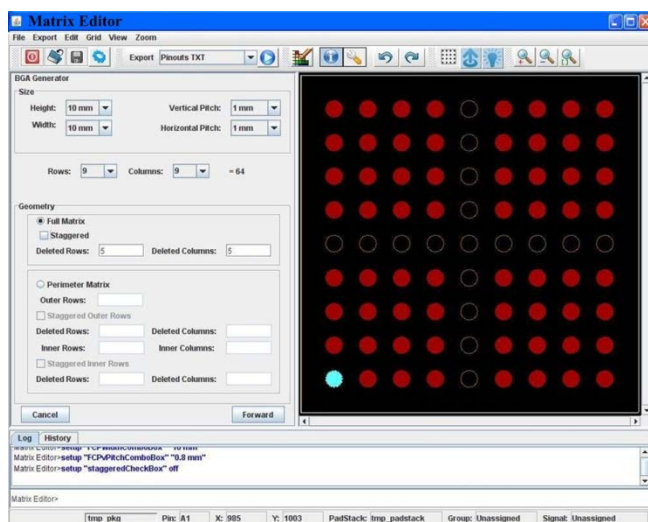


Рисунок 5. Редактор матрицы корпуса FCPacker -ME.

Планировщик выводов кристалла

Опыт нескольких проектов показывает, что размер матрицы выводов микросхемы определяется двумя основными факторами:

- 1) заданием топологической трассировки интерфейсных сигналов вне зоны кристалла;
- 2) назначением на внешние ряды выводов интерфейсных сигналов, прореженных сигналами земли и питания.

К интерфейсным сигналам относятся сигналы каналов памяти, каналов ввода-вывода, синхронизации, управления и тестирования. Для должного обеспечения питания ядра и каждого элемента периферии кристалла при минимальном контуре тока необходимо, чтобы интерфейсные сигналы трассировались строго от кристалла или огибая кристалл. Размер матрицы выводов должен обеспечивать назначение выводов земли интерфейса и интерфейсных сигналов при трассировке от выводов кристалла к матричным выводам вне зоны кристалла. Анализ выводов современных микропроцессоров различных производителей показывает, что для интерфейсных сигналов и сигналов питания используют матричные выводы с максимальной глубиной от пяти до тринадцати рядов от края корпуса. Причем, чем меньше глубина, тем меньше потребуется слоев печатной платы вычислительного модуля. Кроме того, у всех современных микропроцессоров сигналы питания расположены во внешних рядах матрицы выводов с целью минимизации падения напряжения при значительном потреблении. Это обусловлено тем, что при таком расположении в слоях питания печатной платы вычислительного модуля будет минимальное количество высвобождений металлизации под переходные отверстия интерфейсных сигналов.

На этапе подбора матрицы выводов необходимо учитывать сроки и стоимость заказа сокет для функционального тестирования и разбраковки микросхем.

Данное средство проектирования предназначено для размещения рядов периферийных элементов ввода/вывода кристалла и соответствующих им контактных площадок под выводы кристалла, включая выводы земли и питания (рис.6). При размещении контактных площадок используются заранее подготовленные шаблоны расположения выводов (*bump patterns*) относительно заданных периферийных элементов. Существуют возможности автоматической расстановки контактных площадок согласно выбранным шаблонам для всего кристалла или только в указанной области. В процессе выполнения этих операций планировщик позволяет выполнить автоматическую проверку состава каждого ряда периферийных элементов и расстановки выводов кристалла в соответствии с заданными ограничениями. Выходные данные планировщика используются как для выполнения других этапов проектирования кристалла в целом, так и для разработки корпуса микросхемы. Что в конце концов приводит к сокращению сроков разработки и уменьшает стоимость проекта.

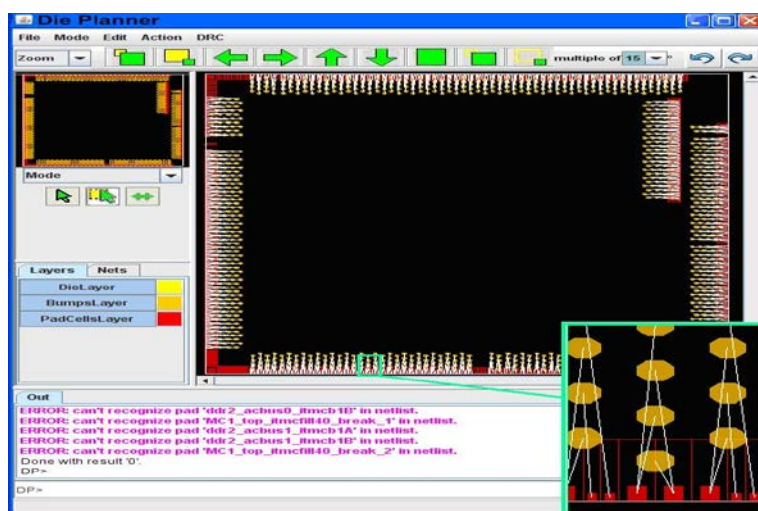


Рисунок 6. Планировщик выводов кристалла FCPacker –DP.

Менеджер назначения

Менеджер назначения используется для установления соответствия между выводами каждого кристалла и выводами корпуса при произвольном размещении на коммутационной плате кристаллов и других компонентов навесного монтажа, а также при их вращении относительно центра. Результат работы менеджера назначений представляется в виде диаграммы назначения (рис.7).

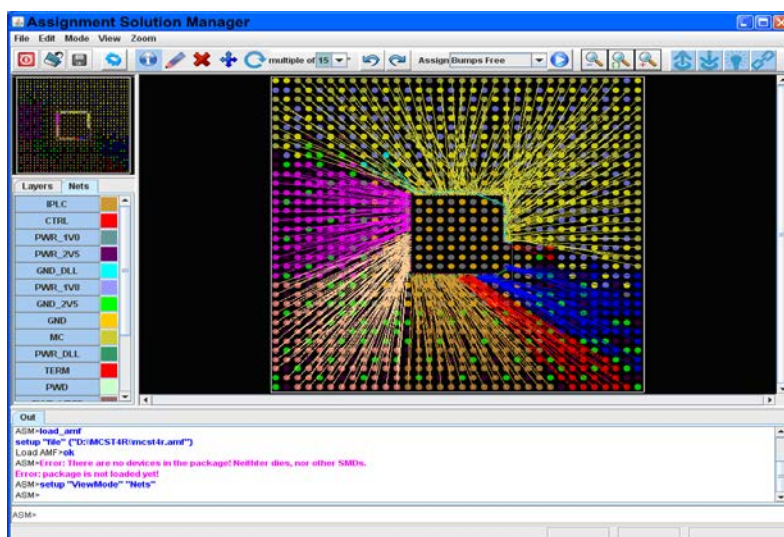


Рисунок 7. Менеджер назначения FCPacker –ASM.

С помощью менеджера назначения можно в автоматическом и ручном режимах создать соединения между выводами кристалла и выводами корпуса, выделить различные секторы земли/питания и провести автоматическую трассировку уходом. Такая трассировка выполняется от контактных площадок под выводы кристалла до точек ухода (*escape points*) на слоях коммутационной платы вне контура кристалла. Для этого используются заранее подготовленные шаблоны оптимальных трасс ухода (*escape patterns*) для рядов выводов кристалла или любого интерфейсного блока.

В случае проведения трассировки уходом соединения будут создаваться между точками ухода и выводами корпуса. Диаграмма назначения позволяет оценить связанность выводов кристалла и корпуса, внести необходимые коррективы в размещение периферийных элементов и выводов кристалла и подобрать оптимальные трассы ухода уже на ранних этапах проектирования корпуса, чтобы минимизировать количество слоев коммутационной платы и выполнить требования целостности сигналов. Выходными данными менеджера назначения являются расположение всех компонентов в корпусе, список соединений и трассы ухода для создания коммутационной платы корпуса.

Редактор коммутационной платы

Для коммутационных плат корпуса характерна высокая плотность трасс. Нормы проектирования с высокой плотностью трасс зафиксированы в стандарте IPC/JPCA-2315 и с тех пор постоянно совершенствуются. Для слоя жесткости коммутационной платы часто применяется эпоксидная смола с бисмалеимид триазином (BT). Слои металлизации на слое жесткости (*core layer*) требуют специальных норм проектирования, которые отличаются от норм проектирования для остальных слоев металлизации, разделенных изоляционной пленкой (*build-up layers*).

Редактор коммутационной платы помогает преодолеть все эти сложности и предназначен для выполнения всех оставшихся этапов трассировки коммутационной платы корпуса (рис. 8). С его помощью можно в ручном режиме провести трассы заданной ширины и под заданными углами, выполнить межслойные переходы, задать сегменты земли/питания. Имеется удобная функциональность для того, чтобы провести полуавтоматическое выравнивание трасс согласно требованиям к интерфейсам, а также выполнить заливку свободных участков слоев металлом и расставить вентиляционные отверстия. В процессе выполнения этих операций существует возможность проверки требований и ограничений, заданных правилами проектирования. Существует и возможность создать 3D модели областей коммутационной платы для применения визуальных методов диагностики. Выходной информацией редактора коммутационной платы являются файлы послойной топологии и файлы переходных отверстий для изготовления коммутационной платы корпуса.

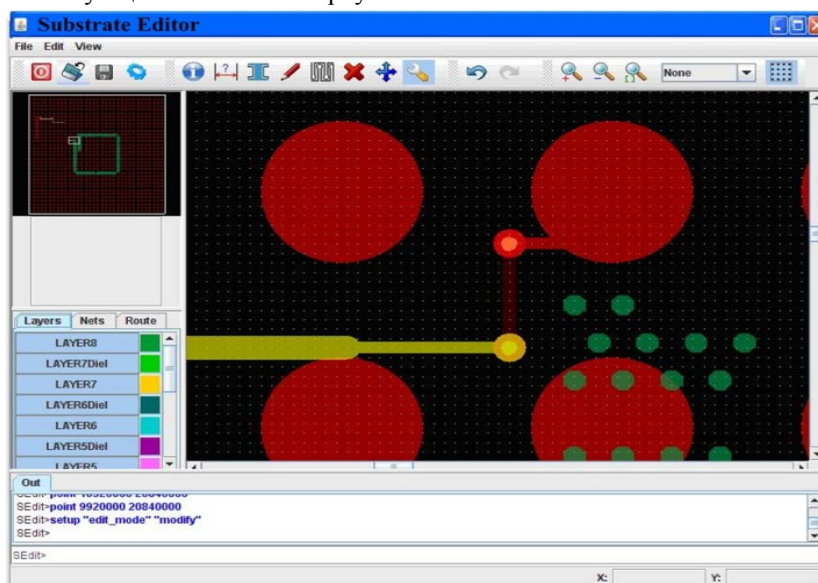


Рисунок 8. Редактор коммутационной платы *FCPacker –SE*.

Тенденции к Улучшению САПР FCPacker

Осуществление перехода к использованию кроссплатформенного фреймворка QT для более быстрой обработки изображений и для улучшения качества и детализации проектируемых СБИС. Использование Qt даст возможность увеличить количество слоёв проектируемых кристаллов. Qt позволяет запускать написанное с его помощью программное обеспечение в большинстве современных операционных систем путём простой компиляции программы для каждой системы без изменения исходного кода. С другой стороны, компилятор Java компилирует исходный код в "байт-код", который непосредственно исполняется не процессором, а с помощью другого программного обеспечения, виртуальной машины Java (Java Virtual Machine, JVM). В свою очередь, JVM исполняется процессором. Таким образом, выполнение байт-кода Java-программ осуществляется не быстрыми аппаратными средствами, а с помощью более медленной программной эмуляции. Очевидно, что такой переход существенно ускорит запуск FCPacker в том числе и на архитектуре Эльбрус.

Расширения функционала и возможностей инструментов проектирования. На основе опыта проектирования с использованием FCPacker были выделены несколько желаемых обновлений функционала.

1. Редактирование геометрии имеющегося полигона с помощью добавления в него новых точек или их удаления. Так же расширить способы редактирования граней полигона.
2. Автоматическая трассировка сетки питания с соблюдением правил проектирования топологии подложки корпуса микросхемы.
3. Сложение/вычитание полигонов. Интеграция геометрии одного полигона в другой при помощи добавления другой геометрической фигуры с возможностью добавления или вычитания из исходного полигона.

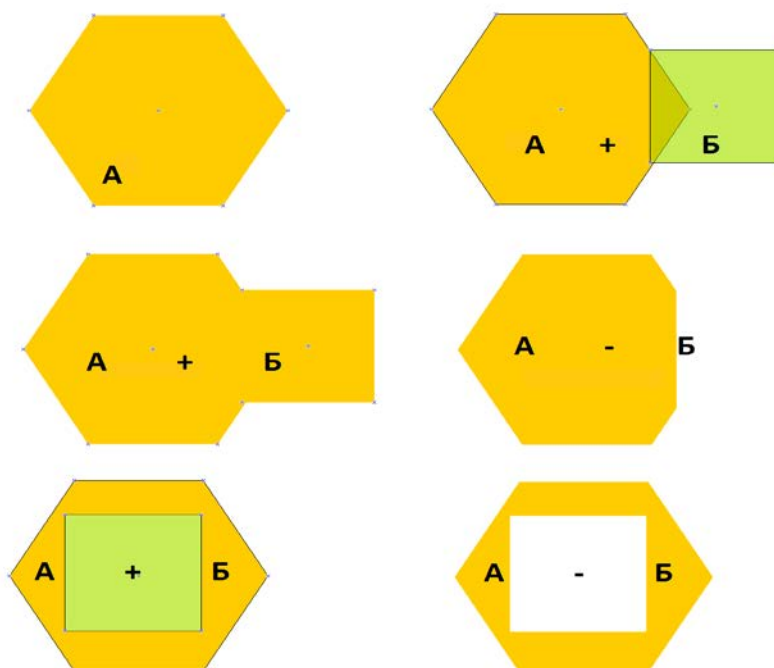


Рисунок 9. Примеры сложения вычитания полигонов.

4. Возможность двигать трассы группами. Необходимо реализовать функционал для изменения топологического прохождения проводника с возможностью изменения топологии соседствующих с ним проводников с соблюдением норм проектирования.
5. Создание конфигурационного файла для задания норм проектирования.
6. Доработка функционала D.R.C.(Design rule check). При проектировании топологии подложки корпуса функционал DRC должен в автоматическом режиме проверять топологию подложки корпуса на соответствие с конфигурационным файлом.
7. Связь между двумя одноимёнными выводами подложки корпуса должна отражаться пунктиром с кратчайшим путём между ними.

8. Добавление функции поиска подключенного переходного отверстия к полигону и одновременно изолированного от основной части этого полигона высвобождениями других переходных отверстий либо одним из проводников топологии подложки корпуса.

Добавление в FCPacker такого функционала значительно облегчит процесс проектирования и сделает возможным проектирование более сложных топологических структур.

Заключение

До последнего времени существовала тенденция, когда все новые технологии сборки внедряются десятилетиями. Например, технология монтажа кристалла объемными выводами на коммутационную плату корпуса (*Flip-Chip*) лишь спустя тридцать лет оказалась востребована и широко используется в массовом производстве. Поэтому САПР *FCPacker* будет актуальна еще много лет, а очень вероятно и десятилетия. На данный момент САПР *FCPacker* является достаточно эффективным внутренним (*in-house*) набором средств проектирования и экономически целесообразным ввиду значительных затрат на его замещение. Потенциальными потребителями САПР *FCPacker* являются компании проектирующие СБИС, а также фабрики по сборке микросхем. Возможна также продажа продукта специализирующейся компании на разработке и поставке САПР для электроники (*EDA company*), через которую данный продукт или его компоненты попадут уже к нескольким потребителям.

Список литературы

1. Бычков И.Н., Егоров С.В., Лобанов И.Н. САПР логико-временной верификации (САПР ЛВВ). – Свидетельство о государственной регистрации программы для ЭВМ №2014612799 от 06.03.2014 г.
2. Применение в том числе для многокристальных микросхем процессоров.
Бычков, И. Н., Воробьев, А. С. Решения по реализации многокристального процессора для встраиваемых систем // Научно-технический журнал Наноиндустрия — 2018. — №82 (Специальный выпуск). — С. 86—89.
3. Ho-Ming, Tong, Lai, Yi-Shao, Wong, C.P. Advanced Flip Chip Packaging, 31/02/ 2012
4. S.Bansal. 3D-IC Design: The Challenges of 2.5D versus 3D, EETimes, 14/19/2011.
5. TechNavio (Infiniti Research Ltd.), Global Flip Chip Packages Market 2018-2022, 4/09/2018
6. Е.Васин, И.Шахнович. 3D-монтаж микросборок: технология VIP как альтернатива TSV. Печатный монтаж, выпуск №3/2010, <http://www.circuitry.ru>