

Московский физико-технический институт  
(государственный университет)

Физтех-школа радиотехники и компьютерных технологий Кафедра  
информатики и вычислительной техники

# Подготовка к внедрению стандарта DDR5 в перспективных микропроцессорах “Эльбрус”

Выполнил: Уфимцев М.А., М01-003а

Научный руководитель: к. т. н. Груздов Ф.А.

Научный консультант: Петров И.А.

Москва 2022

# Сравнение характеристик процессоров E16C и E32C


	E16C	E32C
Кол-во ядер	16	>32
Число каналов памяти	8	6-8
Тип памяти	DDR4	DDR5




Увеличение числа абонентов  
без увеличения количества  
контроллеров памяти

# Сравнение характеристик DDR4 и DDR5

	DDR4	DDR5
Максимальный объем модуля	32 GB	128 GB
Максимальная скорость	3.2 Gbps	<b>6.4 Gbps</b>
Кол-во подканалов	1	2
Кол-во групп банков	4	<b>8</b>
Кол-во банков (в группе банков)	4	4

 Необходимо увеличить частоту работы контроллера

 Необходимо эффективно использовать параллелизм логических банков

# Цель работы

**Подготовить контроллер памяти DDR4 к внедрению стандарта DDR5**

## Задачи:

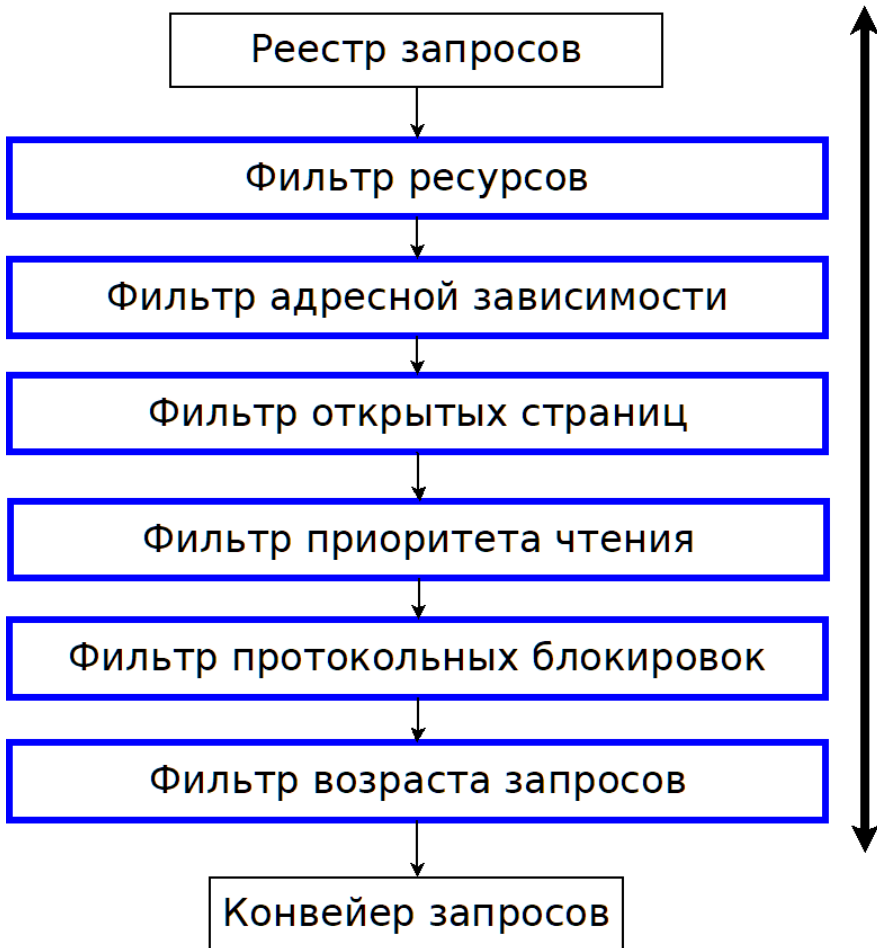
1. Реализовать оптимизации и усовершенствования контроллера DDR4 для улучшения характеристик:
  - частота
  - площадь
  - размер буфера запросов
  - утилизация ресурса логических банков
2. Разработать тестовое окружение для первичного инженерного тестирования контроллера памяти DDR5:
  - модель DDR5 PHY
  - модель модуля памяти DDR5

# Схема контроллера памяти DDR4



Реестр запросов и планировщик более всех других блоков влияют на производительность. Поэтому все оптимизации будут касаться только его.

# Планировщик контроллера памяти DDR4

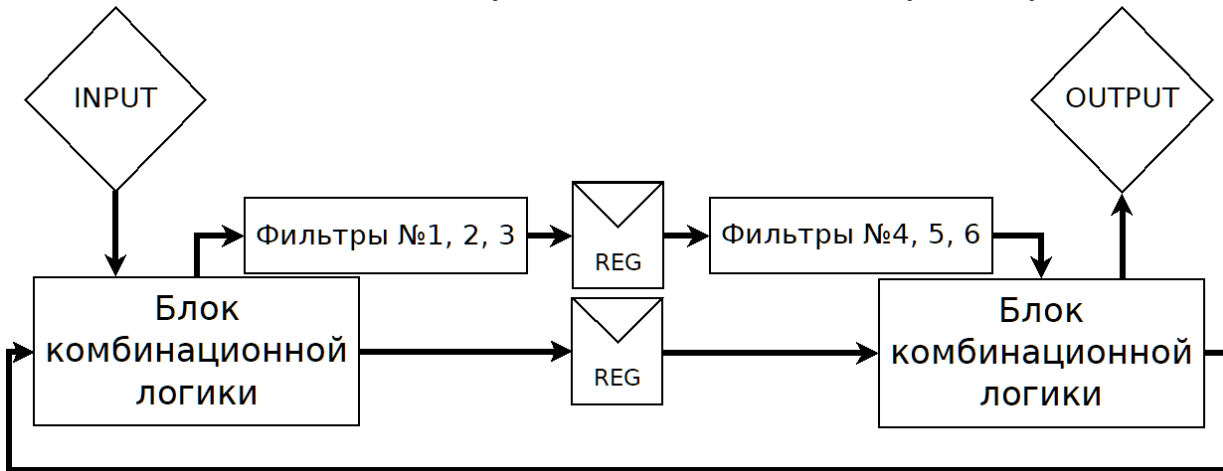


1 такт

Система фильтров лежит на критическом пути контроллера памяти

# Оптимизации контроллера памяти: частота

Конвейеризация системы фильтров контроллера памяти



Блок-схема конвейерной структуры планировщика запросов МС

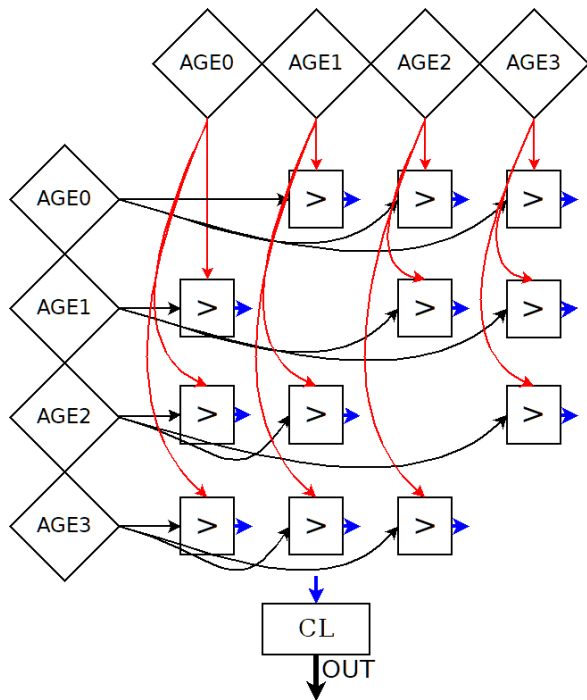
Время выполнения теста метсору (12 ядер):

	Исходная версия	Версия с конвейером
Кол-во тактов	1674106	1676975

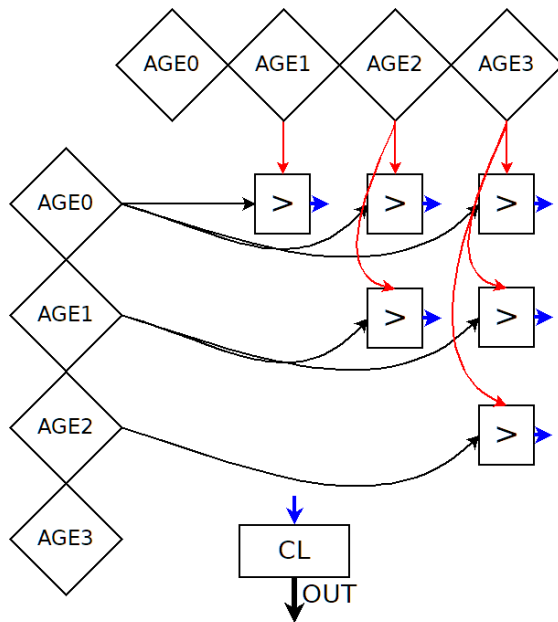
# Оптимизации контроллера памяти: частота и площадь

## Оптимизация схемы фильтра возраста

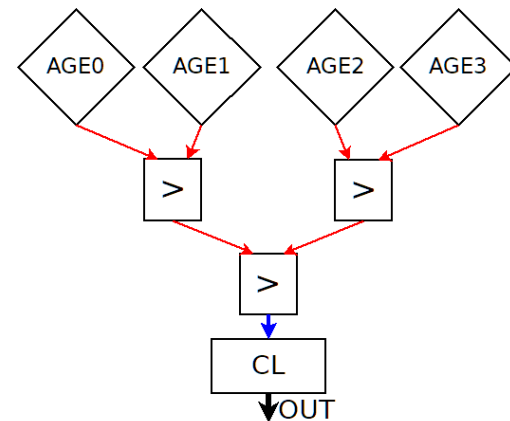
Фильтр возраста отбирает наиболее старый запрос.



Блок-схема оригинальной версии.



Блок-схема версии №1.



Блок-схема версии №2



# Оптимизация схемы фильтра возраста

Сравнение разных реализаций фильтров возраста

- Реализованы в RTL обе схемы фильтра возраста
- Проведен оценочный физический дизайн реализованных схем

<b>Размер реестра запросов <math>N = 48</math></b>	Оригинал	Версия №1	Версия №2
Асимптотика площади	$\sim N^2$	$\sim \frac{N^2}{2}$	$\sim N$
Задержка(нс)	0.3275	0.2729 (-16.7%)	0.2865(-12.5%)
Площадь(мкм <sup>2</sup> )	15212	6925(-54.5%)	3382(-77.8%)

# Усовершенствования контроллера памяти

## Разделение буфера запросов

Мотивация:

Тест memcopy	WRITE	READ
12 ядер, и 0x100000 элементов	<b>34.1</b>	<b>11.3</b>

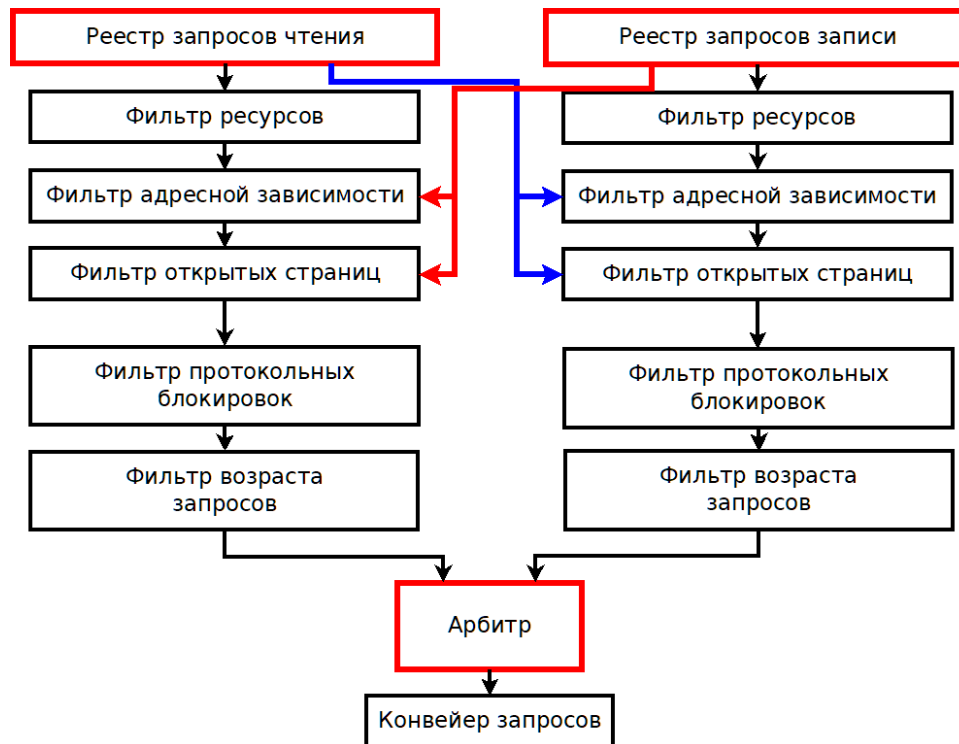
Среднее количество запросов чтения и записи. Размер - 48.

Цели:

- Увеличение глубины просмотра операций чтения в планировщике
- Упрощение логики обработки операции “чтение-модификация-запись”
- Более эффективное увеличение размера буфера в сравнении с простым увеличением размера исходного реестра( $N \rightarrow 2N$ )

# Усовершенствования контроллера памяти

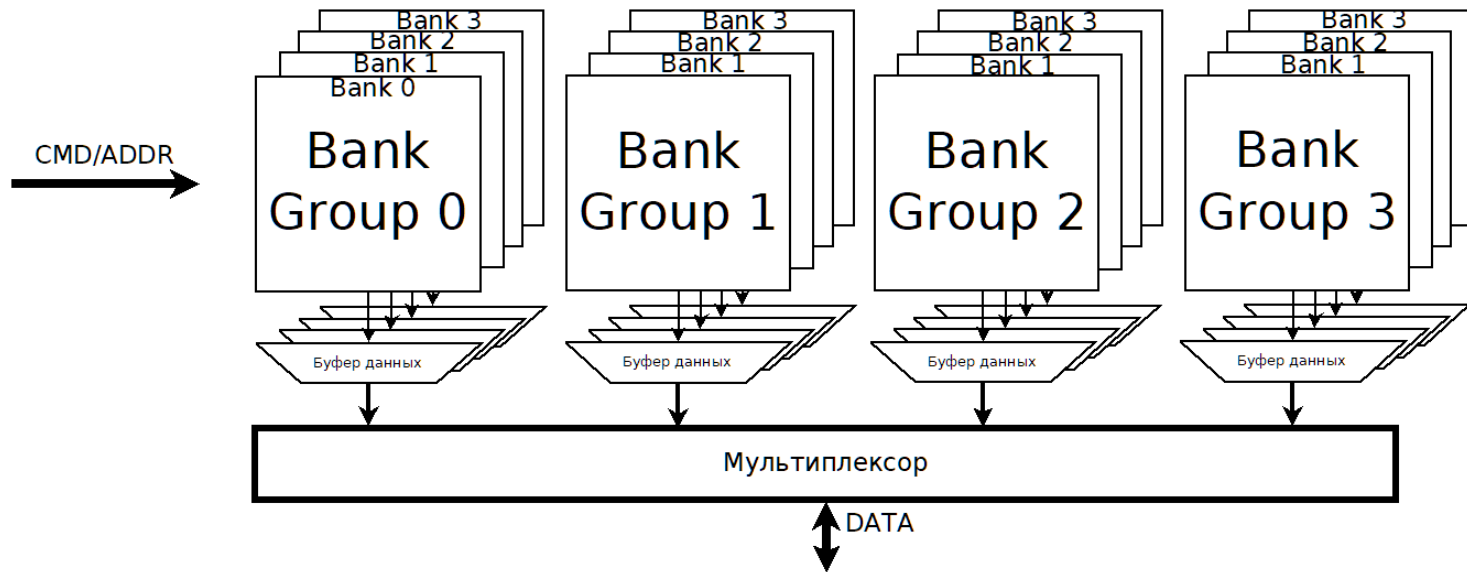
## Разделение буфера запросов



Блок-схема разработанного реестра заявок и планировщика  
в контроллере памяти DDR5

# Усовершенствования контроллера памяти

## Логическая структура модуля памяти



Адрес в памяти состоит из: **номера логического банка, адреса строки, адреса столбца.**

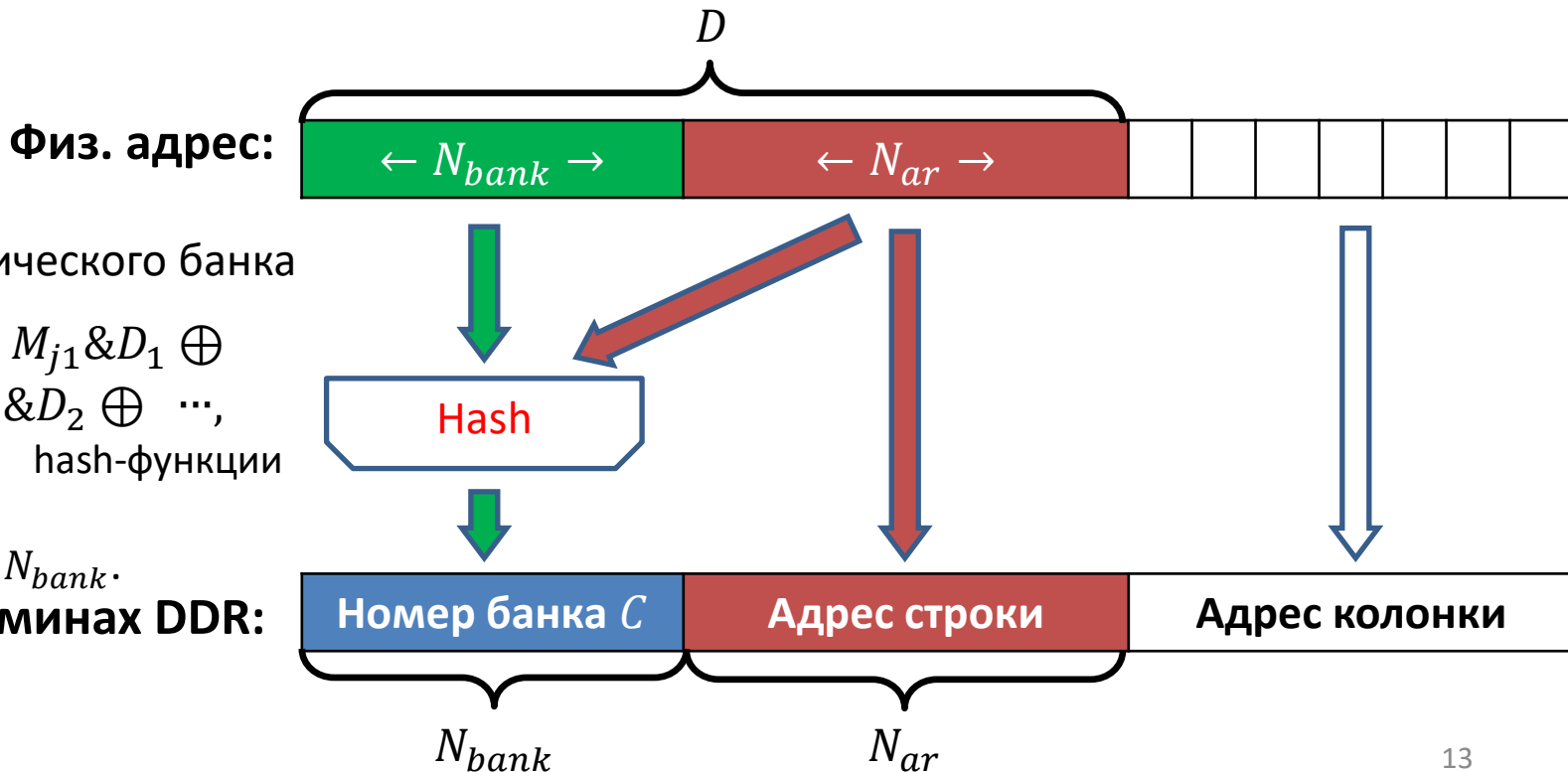
В логическом банке может быть открытой только одна строка. В одном канале может быть открыто  $M$  строк в  $M$  логических банках(DDR4:  $M=512$ , DDR5:  $M=2048$ ).

**Для эффективной работы многоядерного процессора необходимо держать одновременно открытыми наибольшее число строк.**

# Усовершенствования контроллера памяти

## HASH-функция для выбора номера логического банка

HASH-функция отображает физические адреса в номера логических банков.



# HASH-функция для выбора номера логического банка

Выбор матрицы  $M$

$$M_g =$$

$N_{bank}$					$N_{ar}$				
1	0	0	0	0					
0	0	0	1	0					
0	1	0	0	0					
0	0	1	0	0					
0	0	0	0	1					

$N_{bank}$

$$M_b =$$

0	0	0	0	1					
0	1	0	0	0					
1	0	0	0	0					
0	0	0	0	0					
0	0	0	1	0					

Отображение из физадреса в адрес DDR должно быть однозначным, это накладывает на матрицу  $M$  условие: **подматрица  $N_{bank} \times N_{bank}$  не имеет нулевых собственных значений.**

# Оптимизации контроллера памяти

## HASH-функция для выбора номера логического банка

- Добавлены аппаратные возможности для более гибкой настройки HASH-функции.
- Написана программа для поиска матрицы по заданному критерию эффективности.

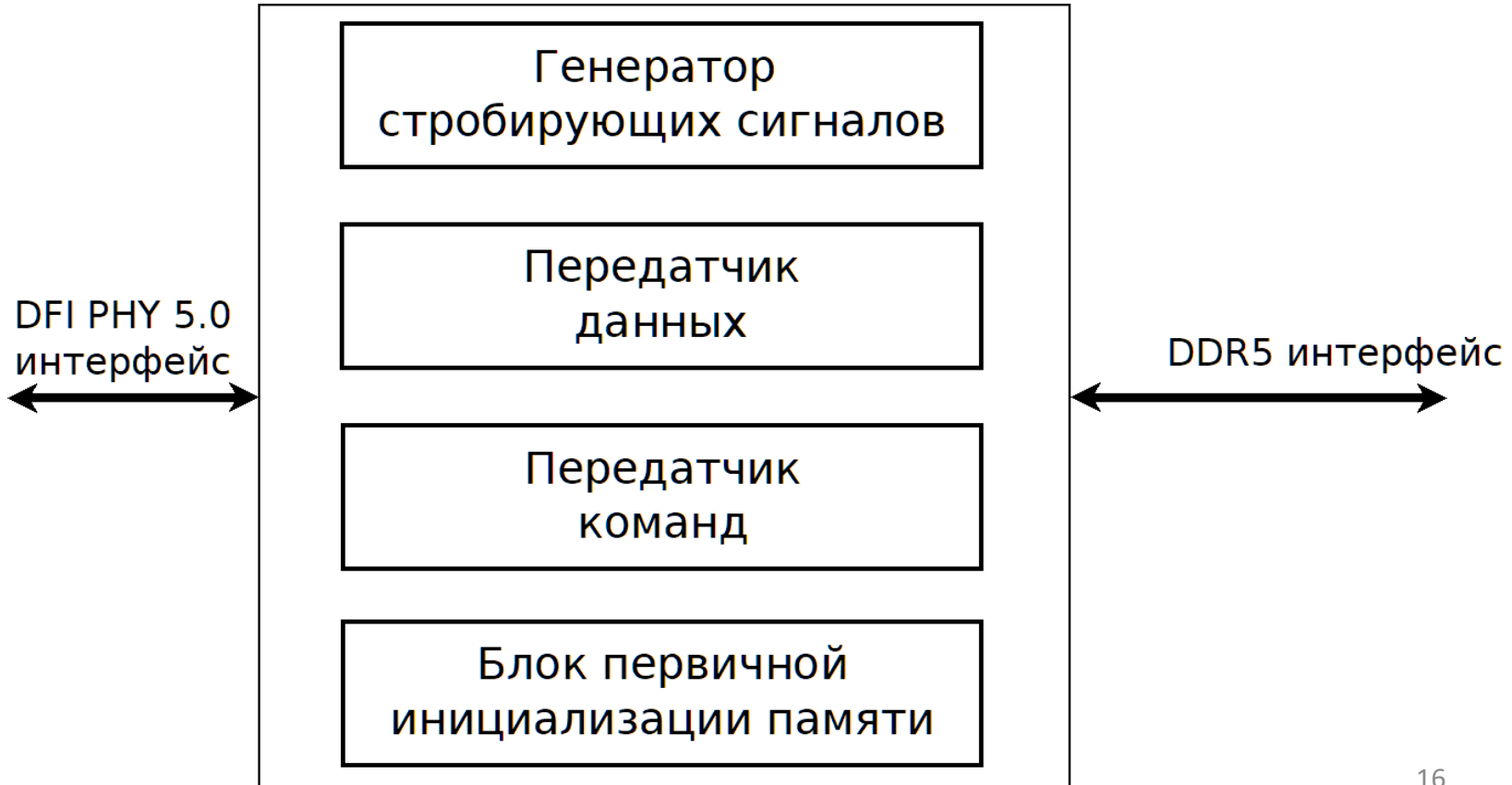
**Выбранный критерий эффективности: максимизация среднего интервала между повторениями номеров логического банка на случайном потоке физических адресов.**

Конфигурация	Время прохождения теста метсору (кол-во тактов)	
	Оригинальная HASH-функция из E16C	Новая версия HASH-функции
12 ядер	1674106	1650023(-1.46%)

Результаты тестирования HASH-функции

# Разработка тестового окружения

Модель физуровень DDR5





# Разработка тестового окружения

Модель чипа памяти DDR5

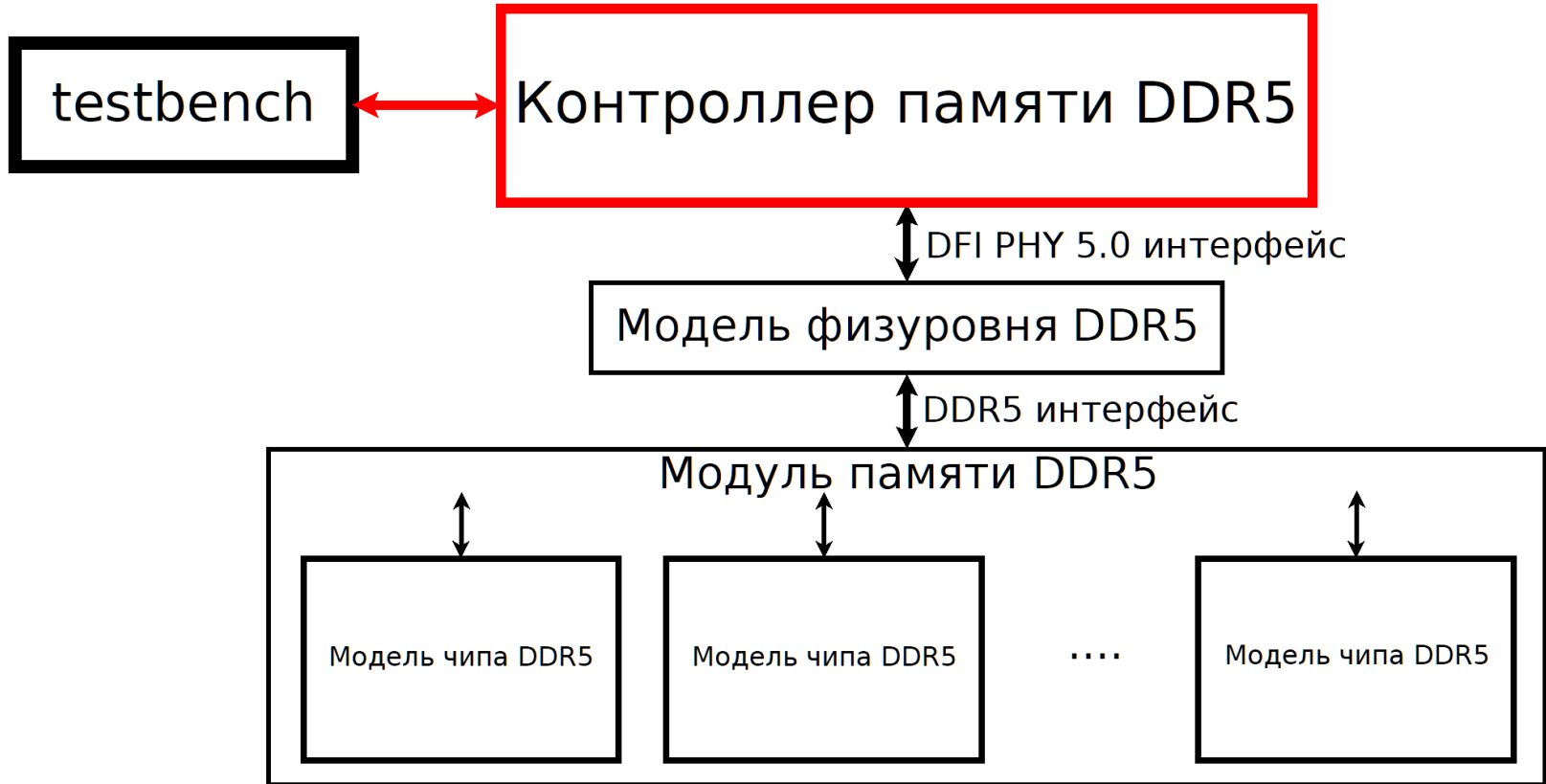


Модель разработана на основе существующей RTL - модели памяти DDR4.

- Добавлена поддержка новых команд из стандарта DDR5 (MPC, Refresh same bank, Precharge same bank).
- Проведена адаптация к 2-х тактным командам.
- Добавлены новые чекеры для соблюдения временных интервалов согласно стандарту DDR5.

# Разработка тестового окружения

Тестовое окружение



# Результат

1. Проведены общие оптимизации и модификации контроллера памяти DDR4 в соответствии с поставленными задачами:
  - конвейеризация системы фильтров контроллера памяти
  - оптимизация фильтра возраста в контроллере
  - разделение буфера запросов на независимые буферы чтения и записи (идет инженерное тестирование)
  - разработан программный инструмент для подбора параметров HASH-функции для выбора номера логического банка
2. Разработано тестовое окружение для первичного инженерного тестирования контроллера DDR5:
  - модель модуля памяти DDR5
  - модель физуровня DDR5

## Дальнейшие планы

- Завершение тестирования проведенных оптимизаций и модификаций на системных тестах.
- Добавление поддержки стандарта DDR5 в контроллер памяти.
- Проведение инженерного тестирования с использованием разработанного тестового окружения.

